

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196573
 (43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 29/16
 H01L 21/205
 H01L 21/28

(21)Application number : 2000-268960

(71)Applicant : DENSO CORP

(22)Date of filing : 05.09.2000

(72)Inventor : YAMAUCHI SHOICHI
 Uragami Yasushi
 ONODA KUNIHIRO
 SAKAKIBARA TOSHIO
 OTSUKA YOSHINORI

(30)Priority

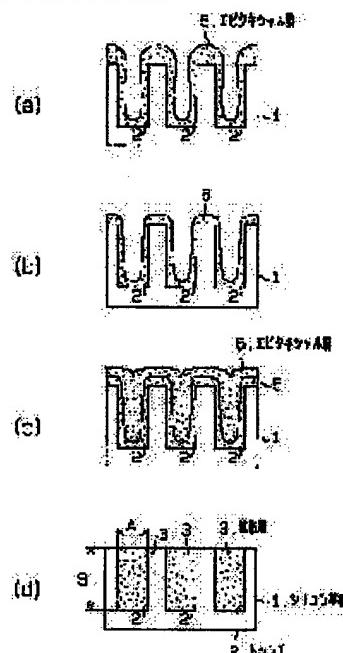
Priority number : 11307656 Priority date : 28.10.1999 Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor substrate, having semiconductor layers of uniform concentration profile in the depth direction of the substrate using a new constitution, and to provide a manufacturing method of the substrate.

SOLUTION: Trenches 2 are formed in a silicon substrate 1, and an epitaxial film 5 is formed on the substrate 1 which includes the interiors of the trenches 2 by an epitaxial growth method. After one part of the film 5 is subjected to etching treatment, an epitaxial film 6 is formed on the substrate 1, including the interiors of the trenches 2 by an epitaxial growth method to fill the interiors of the trenches 2 with the superposed epitaxial films 5 and 6. When the surface of the films 5 and 6 are planarized, different layers 3 for extending in the depth direction of the substrate 1 are formed in the substrate 1.



LEGAL STATUS

[Date of request for examination] 24.07.2001

[Date of sending the examiner's decision of rejection] 03.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

DENSO AVAILABLE COPY

[Patent number]	3485081
[Date of registration]	24.10.2003
[Number of appeal against examiner's decision of rejection]	2003-12372
[Date of requesting appeal against examiner's decision of rejection]	02.07.2003
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196573

(P2001-196573A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.
H 01 L 29/16
21/205
21/28

識別記号

F I
H 01 L 29/16
21/205
21/28

コード(参考)
4 M 1 0 4
5 F 0 4 5
Z

審査請求 未請求 請求項の数59 OL (全 24 頁)

(21)出願番号 特願2000-268960(P2000-268960)
(22)出願日 平成12年9月5日 (2000.9.5)
(31)優先権主張番号 特願平11-307656
(32)優先日 平成11年10月28日 (1999.10.28)
(33)優先権主張国 日本 (J P)

(71)出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72)発明者 山内 庄一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 浦上 泰
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(74)代理人 100068755
弁理士 恩田 博宣 (外1名)

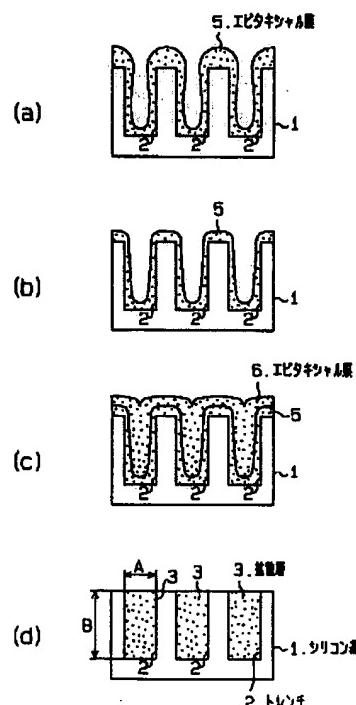
最終頁に続く

(54)【発明の名称】 半導体基板とその製造方法

(57)【要約】

【課題】新規な構成による深さ方向に均一な濃度プロファイルの半導体層を有する半導体基板とその製造方法を提供する。

【解決手段】シリコン基板1にトレンチ2を形成し、エピタキシャル成長法によりトレンチ2内を含めたシリコン基板1上にエピタキシャル膜5を形成する。エピタキシャル膜5の一部をエッチャリング処理した後に、エピタキシャル成長法によりトレンチ2内を含めたシリコン基板1上にエピタキシャル膜6を形成して、重ねたエピタキシャル膜5, 6にてトレンチ2内を埋め込む。エピタキシャル膜5, 6の表面を平坦化すると、深さ方向に延びる拡散層3がシリコン基板1に形成される。



【特許請求の範囲】

【請求項1】 半導体基板(11)に、底部での幅(E)よりも開口部での幅(F)が大きなトレンチ(12)が形成され、当該トレンチ(12)内部に、トレンチ(12)を横切る基板表面と平行な任意の面内での横方向の寸法よりも基板表面に対し法線方向の寸法の方が大きい半導体層(13)が充填されていることを特徴とする半導体基板。

【請求項2】 前記半導体基板(11)を第1導電型とするとともに前記半導体層(13)を第2導電型とすることにより、半導体基板(11)と半導体層(13)の界面にP/N接合が形成されていることを特徴とする請求項1に記載の半導体基板。

【請求項3】 前記半導体層(13)は、一種もしくは複数の濃度または導電型の異なる拡散層により構成されていることを特徴とする請求項1に記載の半導体基板。

【請求項4】 半導体基板(1)にトレンチ(2)を形成する工程と、エピタキシャル成長法により前記トレンチ(2)内を含めた半導体基板(1)上にエピタキシャル膜(5)を形成する工程と、

前記エピタキシャル膜(5)の一部のエッチング処理と、エピタキシャル膜(6)の成膜処理とを1回または複数回行って前記トレンチ(2)内を重ねたエピタキシャル膜(5, 6)にて埋め込む工程と、

前記半導体基板(1)上のエピタキシャル膜(5, 6)の表面を平坦化する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項5】 前記トレンチ(12)は、底部での幅(E)よりも開口部での幅(F)が大きいものであることを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項6】 前記トレンチ(92)内の底面でのエピタキシャル膜(93)の成長速度を α とし、同じくトレンチ(92)内の側面でのエピタキシャル膜(93)の成長速度を β とし、トレンチ(92)の開口部での幅をFとし、トレンチ深さをBとしたとき、

$$B/\alpha < F/2\beta$$

の関係を満足させるようにしたことを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項7】 前記トレンチ形成工程は、ドライエッチング処理もしくはウェットエッチング処理のいずれかによる異方性エッチング処理を用いることを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項8】 前記トレンチ(22)を形成するトレンチ形成工程において、トレンチエッチング処理後に熱酸化処理を行い、形成した酸化膜(25)を除去することでトレンチ(22)の開口部を広げるようにしたことを特徴とする請求項4または5に記載の半導体基板の製造方法。

【請求項9】 前記半導体基板(31)にトレンチ(3

2)を形成するトレンチエッチング処理を実施する前もしくは後に、1回または複数回のトレンチ(31)上部のエッチング処理を行うようにしたことを特徴とする請求項4または5に記載の半導体基板の製造方法。

【請求項10】 前記トレンチ(32)の上部のエッチング処理は、開口部の幅(W2)がトレンチ(32)の幅(W1)より大きく、エッチング深さ(L2)がトレンチ(32)の深さ(L1)より小さいことを特徴とする請求項9に記載の半導体基板の製造方法。

【請求項11】 前記エピタキシャル膜(5)のエッチング処理は、塩化水素または水素を含んだ雰囲気において、塩化水素または水素の気相エッチング作用を用いることを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項12】 前記エピタキシャル膜(5)の成膜処理とエピタキシャル膜(5)のエッチング処理とを、同一の成膜装置内で連続して行うようにしたことを特徴とする請求項4または11に記載の半導体基板の製造方法。

20 【請求項13】 前記エピタキシャル膜(5)の成膜処理とエピタキシャル膜(5)のエッチング処理を交互に行うことの特徴とする請求項4, 11, 12のいずれか1項に記載の半導体基板の製造方法。

【請求項14】 前記エピタキシャル膜(5)の成膜処理においては、少なくとも成膜材料元素を含む成膜ガスに基板の表面がさらされる状態で任意の温度に半導体基板(1)を保持し、エピタキシャル膜のエッチング処理においては、少なくともエッチングガスに半導体基板(1)の表面がさらされる状態でエッチング反応が供給律速過程となる任意の温度に半導体基板(1)を保持することを特徴とする請求項13に記載の半導体基板の製造方法。

30 【請求項15】 前記エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッチングマスクに用いた膜(43)の全部もしくは一部を残した状態でエピタキシャル膜(44)を成膜することにより、トレンチ開口部に多結晶半導体(44b)を形成し、エッチング処理においてトレンチ開口部の多結晶半導体(44b)を選択的に除去することを特徴とする請求項4, 11, 12, 13, 14のいずれか1項に記載の半導体基板の製造方法。

【請求項16】 前記エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッチングマスクに用いた膜(43)の全部を除去した状態でエピタキシャル膜(44)を成膜することにより、トレンチ開口部および平坦部上に単結晶半導体を形成することを特徴とする請求項4, 11, 12, 13, 14のいずれか1項に記載の半導体基板の製造方法。

【請求項17】 前記エピタキシャル膜の成膜の際に、ドーパントとなる不純物を含むガス材料を導入し、エピ

タキシャル膜(5)の成膜を行うことを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項18】 前記エピタキシャル膜の成膜の際に、トレンチ内部に埋込後、非酸化性の減圧雰囲気において熱処理を行うことを特徴とする請求項4～17のいずれか1項に記載の半導体基板の製造方法。

【請求項19】 前記非酸化性の減圧雰囲気における熱処理は、エピタキシャル膜成膜を行った同一の成膜装置内でエピタキシャル膜成膜後に連続して行うことを特徴とする請求項18に記載の半導体基板の製造方法。

【請求項20】 前記平坦化処理工程において、研磨によりエピタキシャル膜(5, 6)の表面を平坦化するようにしたことを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項21】 前記平坦化処理工程において、ドライエッティング処理によるエッチバックによりエピタキシャル膜(5, 6)の表面を平坦化するようにしたことを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項22】 前記平坦化処理工程において、研磨によりエピタキシャル膜(5, 6)の表面を平坦化する際にトレンチ形成工程のエッティングマスクに用いた膜(4)を研磨ストップとしたことを特徴とする請求項4, 15, 20のいずれか1項に記載の半導体基板の製造方法。

【請求項23】 前記平坦化処理工程において、ドライエッティング処理によるエッチバックによりエピタキシャル膜(5, 6)の表面を平坦化する際にトレンチ形成工程のエッティングマスクに用いた膜(4)をエッティングストップとしたことを特徴とする請求項4, 15, 21のいずれか1項に記載の半導体基板の製造方法。

【請求項24】 前記平坦化処理工程において、トレンチ(2)内の埋込エピタキシャル膜(5, 6)の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜(80)もしくは多結晶膜またはアモルファス膜を成膜することで前記埋込不良箇所を埋設し、更に、平坦化処理を実施することを特徴とする請求項4, 20, 21のいずれか1項に記載の半導体基板の製造方法。

【請求項25】 半導体基板(51)にトレンチ(52)を形成する工程と、前記トレンチ(52)内を含めた半導体基板(1)上にアモルファス半導体膜(55)を成膜してトレンチ(52)の内部を埋め込む工程と、熱処理によりアモルファス半導体膜(55)を固相反応させることにより単結晶化する工程と、前記半導体基板(51)上の単結晶半導体膜(56)の表面を平坦化する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項26】 前記トレンチ(12)は、底部での幅(E)よりも開口部での幅(F)が大きいものであることを特徴とする請求項25に記載の半導体基板の製造方

法。

【請求項27】 前記トレンチ(92)内の底面でのアモルファス半導体膜(93)の成長速度を α とし、同じくトレンチ(92)内の側面でのアモルファス半導体膜(93)の成長速度を β とし、トレンチ(92)の開口部での幅Fとし、トレンチ深さをBとしたとき、
 $B/\alpha < F/2\beta$

の関係を満足させるようにしたことを特徴とする請求項25に記載の半導体基板の製造方法。

10 【請求項28】 前記トレンチ形成工程において、ドライエッティング処理もしくはウェットエッティング処理のいずれかによる異方性エッティング処理を用いることを特徴とする請求項25に記載の半導体基板の製造方法。

【請求項29】 前記トレンチ形成工程において、トレンチエッティング処理後に熱酸化処理を行い、形成した酸化膜(25)を除去することでトレンチ開口部を広げることを特徴とする請求項25または26に記載の半導体基板の製造方法。

20 【請求項30】 前記トレンチ形成工程において、トレンチエッティング処理を実施する前もしくは後に、1回または複数回のトレンチ(32)上部のエッティング処理を行うことを特徴とする請求項25または26に記載の半導体基板の製造方法。

【請求項31】 前記トレンチ(32)の上部のエッティング処理は、開口部の幅(W2)がトレンチ(32)の幅(W1)より大きく、エッティング深さ(L2)はトレンチ(32)の深さ(L1)より小さいことを特徴とする請求項30に記載の半導体基板の製造方法。

30 【請求項32】 前記アモルファス半導体膜埋込工程において、ドーパントとなる不純物を含むガス材料を導入してアモルファス半導体膜(55)の成膜を行うことを特徴とする請求項25に記載の半導体基板の製造方法。

【請求項33】 前記アモルファス半導体膜埋込工程において、アモルファス半導体膜(55)の埋込前にエピタキシャル膜(54)を成膜するようにしたことを特徴とする請求項25に記載の半導体基板の製造方法。

40 【請求項34】 前記アモルファス半導体膜埋込工程におけるエピタキシャル膜(54)の成膜とアモルファス半導体膜(55)の成膜とを、同一の成膜装置内で連続して処理することを特徴とする請求項25, 32, 33のいずれか1項に記載の半導体基板の製造方法。

【請求項35】 前記エピタキシャル膜成膜工程において、トレンチ(52)内部にエピタキシャル膜(54)を成膜した後に、エピタキシャル膜(54)のエッティング処理とエピタキシャル膜の成膜処理とを1回または複数回繰り返すことを特徴とする請求項33または34に記載の半導体基板の製造方法。

50 【請求項36】 前記エピタキシャル膜(54)のエッティング処理は、塩化水素または水素を含んだ雰囲気において、塩化水素または水素の気相エッティング作用を用い

ることを特徴とする請求項35に記載の半導体基板の製造方法。

【請求項37】 前記エピタキシャル膜(54)の成膜処理とエピタキシャル膜(54)のエッティング処理を交互に行うことを特徴とする請求項35または36に記載の半導体基板の製造方法。

【請求項38】 前記エピタキシャル膜(54)の成膜処理においては、少なくとも成膜材料元素を含む成膜ガスに基板表面がさらされる状態で任意の温度に半導体基板(51)を保持し、エピタキシャル膜(54)のエッティング処理においては少なくともエッティングガスに半導体基板(51)表面がさらされる状態でエッティング反応が供給律速過程となる任意の温度に半導体基板(51)を保持することを特徴とする請求項37に記載の半導体基板の製造方法。

【請求項39】 前記エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッティングマスクに用いた膜(43)の全部もしくは一部を残した状態でエピタキシャル膜(44)を成膜することにより、トレンチ開口部に多結晶半導体(44b)を形成し、エッティング処理においてトレンチ開口部の多結晶半導体(44b)を選択的に除去することを特徴とする請求項33～38のいずれか1項に記載の半導体基板の製造方法。

【請求項40】 前記エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッティングマスクに用いた膜(43)の全部を除去した状態でエピタキシャル膜(54)を成膜することにより、トレンチ開口部および平坦部上に単結晶半導体を形成することを特徴とする請求項33～38のいずれか1項に記載の半導体基板の製造方法。

【請求項41】 前記エピタキシャル膜の成膜の際に、ドーパントとなる不純物を含むガス材料を導入し、エピタキシャル膜(54)の成膜を行うことを特徴とする請求項33～35のいずれか1項に記載の半導体基板の製造方法。

【請求項42】 前記固相反応工程において、非酸化性の減圧雰囲気において熱処理を行うことを特徴とする請求項25に記載の半導体基板の製造方法。

【請求項43】 前記固相反応工程において、前記アモルファス半導体膜埋込工程と同一の成膜装置内で連続して熱処理することを特徴とする請求項25または42に記載の半導体基板の製造方法。

【請求項44】 前記平坦化処理工程において、研磨により膜(54, 56)の表面を平坦化するようにしたことを特徴とする請求項25に記載の半導体基板の製造方法。

【請求項45】 前記平坦化処理工程において、ドライエッティング処理によるエッチバックにより膜(54, 56)の表面を平坦化するようにしたことを特徴とする請求項25に記載の半導体基板の製造方法。

【請求項46】 前記平坦化処理工程において、研磨により膜(54, 56)の表面を平坦化する際に、トレンチ形成工程のエッティングマスクに用いた膜を研磨トップとしたことを特徴とする請求項25, 39, 44のいずれか1項に記載の半導体基板の製造方法。

【請求項47】 前記平坦化処理工程において、ドライエッティング処理によるエッチバックにより膜(54, 56)の表面を平坦化する際に、トレンチ形成工程のエッティングマスクに用いた膜をエッティングトップとしたことを特徴とする請求項25, 39, 45のいずれか1項に記載の半導体基板の製造方法。

【請求項48】 前記平坦化処理工程において、トレンチ(52)内の埋込膜(54, 56)の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜(80)もしくは多結晶膜またはアモルファス膜を成膜することで前記埋込不良箇所を埋設し、更に、平坦化処理を実施することを特徴とする請求項25, 44, 45のいずれか1項に記載の半導体基板の製造方法。

【請求項49】 半導体基板(61)にトレンチ(62)が形成され、当該トレンチ(62)内部に、トレンチ(62)を横切る基板表面と平行な任意の面内での横方向の寸法よりも基板表面に対し法線方向の寸法の方が大きい半導体層(63)が充填され、さらに、半導体層(63)内に半導体層(63)の電位をとることを目的とする導電材料(64)が埋め込まれていることを特徴とする半導体基板。

【請求項50】 前記半導体基板(61)を第1導電型とともに前記半導体層(63)を第2導電型とすることにより、半導体基板(61)と半導体層(63)の界面にP-N接合が形成されていることを特徴とする請求項49に記載の半導体基板。

【請求項51】 前記半導体層(63)内に埋め込まれる前記導電材料(64)が、金属材料、金属シリサイド材料、高濃度の多結晶半導体材料の少なくともいずれか1つであることを特徴とする請求項49に記載の半導体基板。

【請求項52】 半導体基板(61)にトレンチ(62)を形成する工程と、エピタキシャル成長法により前記トレンチ(62)内を含めた半導体基板(61)上にエピタキシャル膜(66)を形成する工程と、前記エピタキシャル膜(66)の上に導電材料の膜(67)を成膜し、トレンチ(62)内においてエピタキシャル膜(66)の内側に導電材料の膜(67)を埋め込みながらトレンチ(62)内を埋め込む工程と、前記半導体基板(61)上のエピタキシャル膜(66)および導電材料の膜(67)の表面を平坦化する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項53】 前記トレンチ形成工程において、ドライエッティング処理もしくはウェットエッティング処理のい

ずれかによる異方性エッチング処理を用いることを特徴とする請求項52に記載の半導体基板の製造方法。

【請求項54】前記エピタキシャル膜形成工程において、ドーパントとなる不純物を含むガス材料を導入し、エピタキシャル膜(66)の成膜を行うことを特徴とする請求項52に記載の半導体基板の製造方法。

【請求項55】前記導電材料の膜のエピタキシャル膜(63)内への埋め込みは、金属材料の成膜または金属シリサイド材料の成膜、または、成膜した金属膜に熱処理を施し金属シリサイド化することにより行うようにしたことを特徴とする請求項52に記載の半導体基板の製造方法。

【請求項56】前記導電材料成膜工程において、エピタキシャル膜埋込工程で成膜したエピタキシャル膜(66)と同一の導電型の高濃度多結晶半導体膜を半導体層内部に成膜することを特徴とする請求項52に記載の半導体基板の製造方法。

【請求項57】前記平坦化処理工程において、研磨によりエピタキシャル膜(66)および導電材料の膜(67)の表面を平坦化するようにしたことを特徴とする請求項52に記載の半導体基板の製造方法。

【請求項58】半導体基板(71)にトレンチ(72)を形成する工程と、エピタキシャル成長法により前記トレンチ(72)内を含めた半導体基板(71)上にエピタキシャル膜(73)を形成する工程と、前記半導体基板(71)上のエピタキシャル膜(73)の表面から研磨を行い少なくとも前記トレンチ(72)の開口部よりも深い位置までの前記エピタキシャル膜(73)及び半導体基板(71)を除去する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項59】半導体基板(91)にトレンチ(92)を形成した後、エピタキシャル成長法により前記トレンチ(92)内を含めた半導体基板(91)上にエピタキシャル膜(93)を形成し、さらに、前記半導体基板(91)上のエピタキシャル膜(93)の表面を平坦化する半導体基板の製造方法において、前記トレンチ(92)内の底面でのエピタキシャル膜(93)の成長速度を α とし、同じくトレンチ(92)内の側面でのエピタキシャル膜(93)の成長速度を β とし、トレンチ(92)の開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/2\beta$

の関係を満足させるようにしたことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体素子形成用の基板加工技術に関するものである。

【0002】

【従来の技術】図18に示すように、シリコン基板100上の所望の位置に深さ方向に均一な拡散層101を形成することは、米国特許第5438215号に開示される高耐圧MOSデバイスのオン抵抗低減に有効な基板構造として注目されているだけでなく、基板の深さ方向を有効利用することにより深さ方向に高集積化が可能となることからも有益な構造である。

【0003】拡散層101の形成手法としては、従来からシリコン半導体プロセスで一般的に用いられる表面からのドーパント不純物の熱拡散や、イオン注入と熱処理により拡散層101を形成する手法が考えられる。しかしながら、拡散層101の深さBはドーパント不純物の拡散速度に律速されるため、一般的に用いる熱処理時間では表面から数 μm 程度の深さまでしか拡散層101を形成させることができず、また、ドーパントの拡散は等方的に進むため深さ方向だけでなく横方向にも拡散は進み、結果的に深さと同程度の横広がりAを持った拡散層101となる。従って、従来の熱拡散による拡散層形成では、アスペクト比($= B/A$)は原理的に「1」を超えることはなく、デバイスを形成する上での構造が制限されることになる。

【0004】これに対して、G.Deboyらによる“*A new generation of high voltage MOSFETs breaks the limit line of silicon*”IEDM98 Proc. (1998年)においては、図19(a), (b)に示すように基板100上にエピタキシャル成長させてエピタキシャル膜111aを形成するとともに、図19(c)に示すようにフォトリソグラフィによる部分的ドーパントイオン注入および熱拡散処理を行い拡散層112aを形成する。以後、図20(a), (b)に示すように、エピタキシャル成長と部分的イオン注入および熱拡散処理を繰り返すことにより、図20(c)に示すように、深さ方向に延びた拡散層112を形成している。この手法を用いることにより、形成される拡散層(深さ方向に延びる拡散層)112はエピタキシャル成長厚みにより深さが決まるため、ドーパントの拡散長により律速されることはない。

【0005】しかしながら、横方向広がりは1回の拡散処理による拡散長に律速されるため1回のエピタキシャル成長膜厚に相当する横広がりが加工限界になる。従って、より深いプロファイルを形成しようとした場合には、エピタキシャル膜厚を増加させればよいが、横方向広がりを抑えるためには1回のエピタキシャル成長厚みを薄膜化する必要があり、結果としてエピタキシャル成長とドーパントの拡散処理の回数が増大することとなり、基板製造コストの増大が危惧される。

【0006】また、欧州特許公開第053854号公報において提案された加工法を図21に示す。まず、図21(a), (b)に示すように、基板120に対しトレンチ121を形成し、その上に図21(c)に示すように、トレンチ内部に所望のドーパント濃度となるエピタ

キシャル層122を埋め込む。これにより、深さ方向のプロファイルを形成する。この加工法においては、トレンチ形成工程とエピタキシャル成長工程により基板形成が可能であり、工数が少なくスループットの向上が期待できる。また、濃度プロファイルの形状はトレンチ形状とほぼ一致するため、上述のエピタキシャル成長とドーバント拡散を複数回繰り返す手法に比較して任意の形状を形成することが可能であると考えられる。

【0007】ただし、トレンチ内に埋込エピタキシャル成長させる場合の予想される重要な課題として、エピタキシャル層の結晶欠陥低減と埋込不良（す）抑制があげられる。これに対して、現状はトレンチ内部の埋込エピタキシャル成長に関する検討は十分に行われておらず、的確な課題対策や製造法が明確ではない。

【0008】また、トレンチ内埋込エピタキシャル成長に似通ったエピタキシャル成長技術に選択エピタキシャル法がある。選択エピタキシャル法とは、図22

(a), (b)に示すように、基板130の上に開口部132を有する酸化膜131を配置し、図22(c)に示すように、シリコン基板130の表面が露出する部分のみにエピタキシャル膜133を成長させる手法で、結果的には酸化膜開口部分(132)にエピタキシャル膜133が埋め込まれた構造となる。選択エピタキシャル技術は、エピタキシャル膜133を微細MOSのデバイス形成領域とし、マスクとなる酸化膜131を素子分離領域とする構造の形成を目的としている。選択エピタキシャル成長においても、主要な技術課題として結晶欠陥低減と埋込不良抑制が検討されているが、埋込性を阻害する要因として、酸化膜開口部分(132)の塞がりがある。開口部分の塞がりは酸化膜131の底部の成長速度が遅いことや、酸化膜131上に付着した多結晶シリコンの横広がりの影響が考えられる。そこで、これらの影響を回避するために、成膜温度を低温化することで反応律速成膜条件(700~850°C)を用い段差底部の成長速度を向上させたり、成膜ガスとしてモノシリラン(SiH₄)に代えてジクロロシリラン(SiH₂C₁₂)、トリクロロシリラン(SiHC₁₃)等の塩素混入ガスを用いたり、HC₁ガスを混入させることにより開口部分の多結晶シリコン領域のエッチング性を高めて塞がりを抑制する工程が検討されている。

【0009】しかしながら、反応律速を用いるために成膜温度を低温化することはエピタキシャル膜133の結晶性の悪化を引き起こすといった問題点がある。更に、塩化物ガスの導入についても、配管からの金属汚染やエピタキシャル膜133の結晶性を悪化させることが懸念される。また、反応律速条件にあわせた低温での成長過程で塩素系ガスによるエッチング作用を用いることはエッチングレートが小さいだけでなく、エッチング作用も反応律速により進むため必ずしも開口部分のみのエッチングではなく段差底部のエッチング速度も大きく、効率

的なエッチング工程とはいえない。

【0010】従って、上述の選択エピタキシャル技術と同様の工程をトレンチ内埋込エピタキシャル成長に適用したとしても、結晶欠陥や汚染、塩素系ガスによる低エッチング効率の問題は大きく、特に、酸化膜段差中の成長と異なりトレンチ内部のエピタキシャル成長の場合は側面からの成長が支配的となるため、より埋込不良の発生が懸念される。

【0011】

【発明が解決しようとする課題】この発明は上記した背景のもとになされたものであり、その目的は、新規な構成による深さ方向に均一な濃度プロファイルの半導体層を有する半導体基板とその製造方法を提供することにある。

【0012】

【課題を解決するための手段】請求項1に記載の半導体基板構造によれば、従来の基板表面やイオン注入領域から熱拡散により形成する拡散層（半導体層）はアスペクト比（縦横の比率）が「1」を原理的に超えられないのに対して、高アスペクトの半導体層を形成することで深さ方向の有効活用につながり単位面積当たりの素子の高集積化が可能となる。

【0013】また、トレンチの底部（基板深部側）に対しトレンチの上部（基板表面側）の横広がりを大きくした構造は、請求項3以降で説明するトレンチ内部に埋込エピタキシャル成長により半導体層を形成する上で埋込性を向上させることができる。

【0014】請求項2に記載の半導体基板構造によれば、基板の導電型と異なる導電型の半導体層（拡散層）を形成し、P N接合を形成することで、デバイスを深さ方向に高集積化することが可能となる。

【0015】また、請求項3に記載のように、半導体層を、一種もしくは複数の濃度または導電型の異なる拡散層により構成されているものとすることもできる。請求項4に記載の半導体基板の製造方法によれば、半導体基板にトレンチが形成される。そして、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜が形成される。さらに、エピタキシャル膜の一部のエッチング処理と、エピタキシャル膜の成膜処理とが行われてトレンチ内が重ねたエピタキシャル膜にて埋め込まれる。

【0016】この際、エピタキシャル膜の一部をエッチング処理することによりトレンチでの開口部が広がり、この状態でエピタキシャル膜の成膜が行われるので、開口部の塞がりを抑制して埋込不良（す）を抑制することができる。また、埋込状態によっては、エピタキシャル膜の一部のエッチング処理と、エピタキシャル膜の成膜処理とを複数回行うことにより、さらに埋込性が向上する。

【0017】その後、半導体基板上のエピタキシャル膜

の表面が平坦化される。つまり、埋込エピタキシャル成長後に基板表面には段差が発生するが、平坦化処理を行うことにより、後工程のデバイス形成における不具合を回避することができる。

【0018】請求項5に記載の半導体基板の製造方法によれば、トレンチの底部（基板深部側）に対しトレンチの上部（基板表面側）の横広がりを大きくすることにより、開口部が広がり、後工程となるトレンチ内部への埋込エピタキシャル成長においてよりエピタキシャル膜の埋込性を向上させることができるとなる。

【0019】請求項6に記載のように、トレンチ内の底面でのエピタキシャル膜の成長速度を α とし、同じくトレンチ内の側面でのエピタキシャル膜の成長速度を β とし、トレンチの開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/2\beta$ の関係を満足させると、エピタキシャル膜の埋込性を向上することができる。

【0020】請求項7に記載のように、トレンチ加工はドライエッティングを用いてもウェットエッティングによる異方性エッティングによっても加工することが可能である。請求項8に記載の半導体基板の製造方法によれば、トレンチ加工後に熱酸化を施すことにより開口部分が丸め酸化され、酸化膜のエッティング後には結果として開口部を広げることが可能となる。従って、エピタキシャル膜の埋込性を向上させることができる。

【0021】請求項9および10に記載の半導体基板の製造方法によれば、所望のトレンチの開口部をエッティングすることにより開口部を広げることでエピタキシャル膜の埋込性を向上させることができる。また、開口部エッティング処理はトレンチエッティング処理の前であっても後であっても所望の構造に加工することが可能である。

【0022】特に、請求項10に記載の半導体基板の製造方法のように、開口部エッティングサイズについて、幅はトレンチより広く、深さはトレンチより浅いことが必要である。

【0023】請求項11に記載の半導体基板の製造方法によれば、エピタキシャル膜のエッティング処理に塩化水素や水素による半導体層（例えば、シリコン層）の化学的エッティング反応を用いることにより、低ダメージに開口部を塞ぐものを除去することができる。

【0024】請求項12および13に記載の半導体基板の製造方法によれば、エピタキシャル成長とエッティング処理とを連続して行う上で、各々の処理において最適な基板温度を選択することが可能となる。

【0025】特に、請求項13に記載の半導体基板の製造方法によれば、ガス材料によるエッティング反応処理は成膜装置内でエピタキシャル膜成膜とエッティング処理を連続して行うことが可能であるため、基板表面への汚染物の付着を低減可能でスループットの向上も期待できる。

【0026】請求項14に記載の半導体基板の製造方法のように、エッティング処理においては開口部を選択的にエッティングすることが望ましいため、供給律速となる高温下でのエッティング処理を行うことが有効である。

【0027】請求項15に記載の半導体基板の製造方法によれば、表面に膜（例えば酸化膜）を残してエピタキシャル膜を成膜することで、この膜上には多結晶半導体（例えば、多結晶シリコン）が成長する。その結果、開口部のエッティング処理においてはエピタキシャル膜に比較して多結晶半導体（例えば、多結晶シリコン）のエッティングレートが大きいため、より選択的に開口部のみをエッティング除去することができる。

【0028】また、請求項16に記載のように、エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッティングマスクに用いた膜の全部を除去した状態でエピタキシャル膜を成膜してトレンチ開口部および平坦部上に単結晶半導体を形成することにより、トレンチ開口部付近の結晶性が向上する。

【0029】請求項17に記載の半導体基板の製造方法によれば、エピタキシャル膜の成膜工程においてドーパントとなるガス材料を導入することで埋込エピタキシャル層の導電型および濃度制御が可能となり、所望の拡散層を形成することができる。

【0030】請求項18に記載のように、エピタキシャル膜の成膜の際に、トレンチ内部に埋込後、非酸化性の減圧雰囲気において熱処理を行うと、熱処理により、トレンチ中央部の埋込不良にて露出する面（空洞の内周面）において原子が再配列して埋込不良を縮小することができる。

【0031】請求項19に記載のように、非酸化性の減圧雰囲気における熱処理を、エピタキシャル膜成膜を行った同一の成膜装置内でエピタキシャル膜成膜後に連続して行うと、基板表面への汚染物の付着を低減可能でスループットも向上する。

【0032】請求項20および21に記載の半導体基板の製造方法のように、埋込エピタキシャル処理後の表面を研磨法もしくはエッチバック法により平坦化することで段差を低減することができる。加えて、請求項22および23によれば、マスク材を研磨もしくはドライエッティングのストップとすることが可能となり、表面の平坦化における加工精度の向上を図ることができる。

【0033】請求項24に記載のように、平坦化処理工程において、トレンチ内の埋込エピタキシャル膜の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜もしくは多結晶膜またはアモルファス膜を成膜することで前記埋込不良箇所を埋設し、更に、平坦化処理を実施すると、埋込不良を低減することができる。

【0034】請求項25に記載の半導体基板の製造方法によれば、半導体基板にトレンチが形成される。つまり、例えば、拡散層を形成しようとする所望の位置に所

望の深さでトレンチを形成する。そして、トレンチ内を含めた半導体基板上にアモルファス半導体膜が成膜されてトレンチの内部が埋め込まれる。ここで、アモルファス半導体膜（例えば、アモルファスシリコン膜）の成膜は低温で行うため埋込性には優れている。さらに、熱処理によりアモルファス半導体膜を固相反応させることにより単結晶化される。

【0035】ここで、トレンチの両側面から気相反応させる際にトレンチ中央部に欠陥層が発生することが懸念されるが、固相反応ではアモルファス半導体が単結晶化する際に緩和されることが期待できるため、良好な単結晶膜の埋込が可能となる。

【0036】その後、半導体基板上の単結晶半導体膜の表面が平坦化される。つまり、アモルファス半導体膜の成膜後には基板表面に段差が発生するが、平坦化処理を行うことにより、後工程のデバイス形成における不具合を回避することができる。

【0037】請求項26に記載の半導体基板の製造方法によれば、トレンチの底部（基板深部側）に対しトレンチの上部（基板表面側）の横広がりを大きくすることにより、開口部が広がり、結果的にアモルファス半導体膜の埋込性を向上させることができると可能となる。

【0038】請求項27に記載のように、トレンチ内の底面でのアモルファス半導体膜の成長速度を α とし、同じくトレンチ内の側面でのアモルファス半導体膜の成長速度を β とし、トレンチの開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/\beta$ の関係を満足させると、アモルファス半導体膜の埋込性を向上することができる。

【0039】請求項28に記載のように、トレンチ加工はドライエッティングを用いてもウェットエッティングによる異方性エッティングによっても加工することができる。請求項29に記載のように、トレンチ加工後に熱酸化を施すことにより開口部分が丸め酸化され、酸化膜のエッティング後には結果として開口部を広げることが可能となる。従って、アモルファス半導体膜の埋込性を向上させることができると可能となる。

【0040】請求項30および31に記載の半導体基板の製造方法によれば、所望のトレンチの開口部をエッティングすることにより開口部を広げることでアモルファス半導体膜の埋込性を向上させることができる。この開口部エッティング処理はトレンチエッティング処理の前であっても後であっても所望の構造に加工することができる。

【0041】特に、請求項31に記載の半導体基板の製造方法のように、開口部エッティングサイズについて、幅はトレンチより広く、深さはトレンチより浅いことが必要である。

【0042】請求項32に記載の半導体基板の製造方法によれば、アモルファス半導体膜の成膜工程においてド

ーパントとなるガス材料を導入することで、最終的に形成される埋込エピタキシャル層の導電型および濃度制御が可能となり、所望の拡散層を形成することができる。

【0043】請求項33に記載の半導体基板の製造方法によれば、アモルファス半導体膜のみを埋め込む場合には成長レートが低いためにスループットの低下が懸念されるが、エピタキシャル膜を気相成長により成膜した後に、アモルファス半導体膜を完全に埋め込めば、アモルファス半導体膜は埋込の最終段階で成膜すればよい。そのため、スループットが向上し、なおかつトレンチ中央部の埋込不良や結晶欠陥の抑制が可能となる。

【0044】請求項34に記載の半導体基板の製造方法によれば、エピタキシャル膜の成膜とアモルファス半導体膜の成膜を同一の装置内で処理を連続して行うことにより、基板表面への汚染物の付着を低減可能となり、スループットも向上する。

【0045】請求項35に記載の半導体基板の製造方法のように、エピタキシャル膜の成膜工程において埋込性を向上させ埋込不良（す）を抑制するためには、原因となるエピタキシャル膜埋め込みにおける開口部の塞がりを低減する必要があるので、エピタキシャル膜埋め込み後に開口部を塞ぐものを取り除くことを目的とするエッティング処理を施し、更にエピタキシャル膜を成膜することが有効である。また、埋込状態によってはエッティング処理とエピタキシャル処理とを複数回繰り返すことによって、より埋込性が向上する。

【0046】請求項36に記載の半導体基板の製造方法によれば、エピタキシャル膜のエッティング処理に塩化水素や水素による半導体層（シリコン層など）の化学的エッティング反応を用いることにより、低ダメージに開口部を塞ぐものを除去することができる。

【0047】請求項37に記載の半導体基板の製造方法によれば、エピタキシャル成長とエッティング処理とを連続して行う上で、各々の処理において最適な基板温度を選択することが可能となる。また、特にガス材料によるエッティング反応処理は成膜装置内でエピタキシャル膜成膜とエッティング処理を連続して行うことが可能であるため、基板表面への汚染物の付着を低減可能でスループットの向上も期待できる。

【0048】請求項38に記載の半導体基板の製造方法のように、エッティング処理においては開口部を選択的にエッティングすることが望ましいため、供給律速となる高温下でのエッティング処理を行うことが有効である。

【0049】請求項39に記載の半導体基板の製造方法によれば、表面に膜（例えば酸化膜）を残してエピタキシャル膜を成膜することで、この膜上には多結晶半導体が成長する。その結果、開口部のエッティング処理においてはエピタキシャル膜に比較して多結晶半導体（例えば、多結晶シリコン）のエッティングレートが大きいため、より選択的に開口部のみをエッティング除去すること

ができる。

【0050】請求項40に記載のように、エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッティングマスクに用いた膜の全部を除去した状態でエピタキシャル膜を成膜することにより、トレンチ開口部および平坦部上に単結晶半導体を形成すると、トレンチ開口部の結晶性が向上する。

【0051】請求項41に記載の半導体基板の製造方法によれば、エピタキシャル膜の成膜工程においてドーパントとなるガス材料を導入することで埋込エピタキシャル層の導電型および濃度制御が可能となり、所望の拡散層を形成することができる。

【0052】請求項42に記載のように、固相反応工程において、非酸化性の減圧雰囲気において熱処理を行うと、熱処理により、トレンチ中央部の埋込不良にて露出する面（空洞の内周面）において原子が再配列して埋込不良を縮小することができる。

【0053】請求項43に記載の半導体基板の製造方法によれば、アモルファス半導体の成膜と固相反応熱処理を同一の装置内で連続して行うことにより、基板表面への汚染物の付着を低減可能でスループットも向上する。

【0054】請求項44および45に記載の半導体基板の製造方法のように、埋込エピタキシャル処理後の表面を研磨法もしくはエッチバック法により平坦化することで段差を低減することができる。加えて、請求項46および47によれば、マスク材を研磨もしくはドライエッティングのトップとすることが可能となり、表面の平坦化における加工精度を向上することができる。

【0055】請求項48に記載のように、平坦化処理工程において、トレンチ内の埋込膜の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜もしくは多結晶膜またはアモルファス膜を成膜することで前記埋込不良箇所を埋設し、更に、平坦化処理を実施すると、埋込不良を低減することができる。

【0056】請求項49に記載の半導体基板構造によれば、従来の基板表面やイオン注入領域から熱拡散により形成する拡散層はアスペクト比は「1」を原理的に超えられないのに対して、高アスペクトの半導体層（拡散層）を形成することで深さ方向の有効活用につながり単位面積当たりの素子の高集積化が可能となる。さらに、半導体層（拡散層）内に導電材料を埋め込むことにより拡散層の電位をとることで、表面から電位をとる場合に比べて拡散層内に均一に電界を広げることが可能となり、拡散層と配線間の寄生抵抗を低減することができる。

【0057】請求項50に記載の半導体基板構造によれば、基板の導電型と異なる導電型の拡散層を形成し、P-N接合を形成することで、デバイスを深さ方向に高集積化することが可能となる。

【0058】請求項51に記載の半導体基板構造によれ

ば、導電材料として、金属、金属シリサイド、高濃度多結晶半導体（例えば、高濃度多結晶シリコン）の少なくともいずれか1つを選択することで、拡散層の電位をとる上の寄生抵抗を低減することができる。

【0059】請求項52に記載の半導体基板の製造方法によれば、半導体基板にトレンチが形成される。そして、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜が形成される。つまり、半導体層を形成しようとする所望の位置に所望の深さでトレンチを形成し、エピタキシャル膜を成膜する。さらに、エピタキシャル膜の上に導電材料の膜が成膜され、トレンチ内においてエピタキシャル膜の内側に導電材料の膜を埋め込みながらトレンチ内が埋め込まれる。つまり、トレンチ内部に成長させたエピタキシャル膜の内側に、導電材料が成膜され埋め込むことにより、拡散層の電位をとることが可能になる。

【0060】さらに、半導体基板上のエピタキシャル膜および導電材料の膜の表面が平坦化される。つまり、エピタキシャル膜および導電膜の成長後に基板表面には段差が発生するが、平坦化を行うことにより、後工程のデバイス形成における不具合を回避することができる。

【0061】請求項53に記載の半導体基板の製造方法のように、トレンチ加工はドライエッティングを用いてもウェットエッティングによる異方性エッティングによっても加工することができる。

【0062】請求項54に記載の半導体基板の製造方法によれば、エピタキシャル膜の成膜工程においてドーパントとなるガス材料を導入することで埋込エピタキシャル層の導電型および濃度制御が可能となり、所望の拡散層を形成することができる。

【0063】請求項55に記載の半導体基板の製造方法のように、導電材料として金属材料または金属シリサイド材料を用いたり、金属膜成膜後の熱処理によりシリサイド化反応させることにより、電気伝導性が良好で化学的にも安定な導電材料層が形成できる。

【0064】請求項56に記載の半導体基板の製造方法によれば、半導体層の導電型と同一の導電型の高濃度多結晶半導体（例えば、高濃度多結晶シリコン）を導電材料とすることで半導体層の接触抵抗を低減することができる。

【0065】請求項57に記載の半導体基板の製造方法のように、埋込エピタキシャル処理および導電材成膜後の表面を研磨法により平坦化することで段差を低減することができる。

【0066】請求項58に記載の半導体基板の製造方法によれば、半導体基板にトレンチが形成される。そして、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜が形成される。さらに、半導体基板上のエピタキシャル膜の表面から研磨が行われ、少なくともトレンチの開口部よりも深い位置までの

エピタキシャル膜及び半導体基板が除去される。よって、少なくともトレンチの開口部においてエピタキシャル膜の成膜時の“す”が残っていても、この研磨処理にて“す”が除去できる。また、この研磨処理にて表面が平坦化され、後工程のデバイス形成における不具合を回避することができる。

【0067】請求項59に記載の半導体基板の製造方法によれば、半導体基板にトレンチを形成した後、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜を形成する際に、トレンチ内の底面でのエピタキシャル膜の成長速度を α とし、同じくトレンチ内の側面でのエピタキシャル膜の成長速度を β とし、トレンチの開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/2\beta$ の関係を満足させることにより、エピタキシャル膜の埋込性を向上させることができる。

【0068】

【発明の実施の形態】（第1の実施の形態）以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0069】図1、2は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図2(d)に示すように、半導体基板を構成するシリコン基板(単結晶シリコン基板)1にトレンチ2が形成され、このトレンチ2の内部には単結晶シリコン膜3が充填されている。単結晶シリコン膜3は埋込エピタキシャル成長により形成されたものである。ここで、シリコン基板1はN型シリコン基板であり、また、単結晶シリコン膜3はP型拡散層である。よって、基板1と拡散層3の界面にPN接合が形成され、これによりデバイスを深さ方向に高集積化することが可能となる。以後、単結晶シリコン膜3を拡散層という。なお、シリコン基板1と拡散層3の導電型は逆でもよい(基板1がP型、拡散層3がN型)。また、拡散層3のサイズに関して、トレンチ2を横切る基板表面と平行な任意の面内での横方向の寸法Aよりも基板表面に対し法線方向の寸法Bの方が大きくなっている。さらに、拡散層3は、後記するようにトレンチ2内部に所望のドーパント濃度となるようにエピタキシャル層にて埋め込みで形成しており、深さ方向に均一な濃度プロファイルを有する。

【0070】次に、半導体基板の製造方法を説明する。まず、図1(a)に示すように、単結晶シリコン基板1を用意する。そして、図1(b)に示すように、単結晶シリコン基板1の上面に、エッチングマスクとなるシリコン酸化膜4を成膜し、レジスト材を塗布した上でフォトリソグラフィーにより所望の領域に開口部4aを形成する。つまり、トレンチ加工位置を開口する。この酸化膜エッチングはドライエッチングであってもウェットエッチングであっても構わないが高精度の加工を行う上ではドライエッチングが望ましい。

【0071】さらに、図1(c)に示すように、シリコン酸化膜4をマスクにして単結晶シリコン基板1にトレンチ2を形成する。つまり、開口部4aからドライエッティングにより異方性エッチングを実施し、トレンチ2を形成する。このドライエッティングについては、一般的に半導体プロセスで用いられるRIE法(Reactive Ion Etching)を用いて基板シリコン領域を縦方向にエッチングする。

【0072】なお、トレンチ加工に関して、ドライ処理による異方性エッチングプロセスを用いたが、ウェット処理による異方性エッチングプロセスを用いてもよい。ウェットエッチングによるトレンチ形成を行う場合には、酸化膜4の開口部4aに形成される自然酸化膜を予めHF水溶液等で洗浄して除去しておき、その後、TMAH溶液によりトレンチエッチングを行う。TMAH溶液による異方性エッチングはシリコン基板1の面方位によりエッチングレートが異なるといった特性を用いるもので、より高アスペクトのトレンチ加工を行う上では、Si(110)基板を用いて、トレンチ側面がSi(111)面とすることでSi(110)面とSi(111)面の選択比(1:60)により高アスペクト加工が可能である。また、エッチング液としてTMAHの他にKOH溶液を用いることも可能である。

【0073】引き続き、図1(d)に示すように、マスク材として用いた酸化膜4を除去した後、図2(a)に示すように、エピタキシャル成長を行い、トレンチ2内を含めた基板1上にエピタキシャル膜5を形成する(トレンチ2の内部に埋込用エピタキシャル膜5を形成する)。詳しくは、成膜処理に先立ちトレンチ2の内部を含む基板1の表面を清浄化する。この清浄化処理はHF溶液により自然酸化膜を除去することが有効であるが、特に、ドライエッティングによりトレンチ形成を行った場合は反応生成物がトレンチ内部に付着している場合があるため硫酸(H₂SO₄)+過酸化水素水(H₂O₂)溶液の洗浄を行うとともに、その後に、HF水溶液により洗浄を行うことが有効である。HF水溶液による洗浄においてトレンチ形成に用いたマスク酸化膜(4)を除去することも可能であり、図1(d)ではこの場合を示している。更に、洗浄した基板1をLPCVDチャンバに導入した後に、減圧下で水素ガス雰囲気で熱処理を行うことにより、基板1表面の自然酸化膜を除去してより清潔度を向上させることが好ましい。熱処理条件の一例を挙げると、真空度:80 torr、H₂流量:20~50リットル/分、基板温度:800~1150℃、処理時間:1~3分を用いる。また、エピタキシャル膜5の成膜処理においては、少なくとも成膜材料元素を含む成膜ガスに基板1の表面がさらされる状態で任意の温度に基板1を保持する(他のエピタキシャル膜の成膜も同様である)。

【0074】次に、図2(c)に示すように、エピタキ

シャル膜6の成膜を行う。成膜温度は反応律速条件であっても供給律速条件であってもよい。つまり、図3に示すように、成膜温度と成膜レートとの関係において、成膜温度を調整することにより反応律速と供給律速を選択する。ただ、結晶性を考慮すればより高温の成膜条件を選択することが望ましい。成膜条件の一例を挙げると、SiH₄を成膜ガスとして用いた場合、真空度：80 torr、H₂流量：20～50リットル／分、SiH₄流量：0.2～0.5リットル／分、基板温度：700～1150℃とする。

【0075】このような埋込エピタキシャル膜5、6の成膜により、トレンチ2の底部および側面からエピタキシャル膜5、6が成長するが、膜厚の増加に伴いトレンチ2の開口部分の塞がりが発生しやすい。

【0076】そこで、図2(c)のエピ成長に先立ち、図2(b)に示すように、エピタキシャル膜5の成膜後においてエピタキシャル膜5に対しトレンチ2の開口部分のエッティングをHClガス導入により行う。処理条件の一例を挙げると、真空度：80 torr、H₂流量：20～50リットル／分、HCl流量：0.5～1.0リットル／分、基板温度：700～1150℃とする。このとき、特に開口部を選択的にエッティングしてトレンチ2の底部のエピタキシャル膜5のエッティング量を小さくする必要から、より高温の供給律速条件でのエッティングが望ましい。つまり、エピタキシャル膜5のエッティング処理においては、少なくともエッティングガスに基板1の表面がさらされる状態でエッティング反応が供給律速過程となる任意の温度に基板1を保持する。具体的には、図4に示すように、1100℃以上に保持してエッティング処理を行うことにより供給律速を選択することが可能となる。また、高温でのエッティング処理を行うことによりエッティング速度が大きくスループットが向上するといったメリットもある。また、開口部のエッティングに関しては、HClに限らずH₂ガスであってもシリコン膜のエッティング作用があり、HClエッティングと同様に供給律速条件を用いることが望ましい。このHClまたはH₂によるエッティング処理はエピタキシャル膜5の成膜を行うLPCVDチャンバー内にガスを導入して処理することが可能であり、成膜処理と連続してエッティング処理が可能な点からもスループットの向上が期待できる。

【0077】このように、トレンチ2の開口部をエッティングした後、図2(c)に示すように、再度エピタキシャル膜6を成膜させる。これにより、埋込性が向上する。なお、再度のエピタキシャル成長においてもトレンチ開口部が塞がり埋込不良(す)が発生する場合には、再度、エピタキシャル膜6のHClエッティング工程とエピタキシャル成長工程を繰り返して埋込性を向上させる。

【0078】そして、埋込エピタキシャル成長後に基板1上のエピタキシャル膜5、6の表面を平坦化して、図

2(d)に示すように、トレンチ2上に残る段差を無くす。平坦化には、CMP(Chemical Mechanical Polishing)工程を用いる。CMP工程では、表面の平坦化に加えて、トレンチ開口部付近の粗悪な結晶性のエピタキシャル膜を除去する効果もある。また、CMP(研磨)の他にドライエッティング処理によるエッチバック法によって平坦化してもよい。

【0079】上記の加工工程により形成した拡散層(深さ方向に延びる拡散層)の構造は、表面からの熱拡散等の従来手法で形成したものとは異なり、図2(d)に示すように、半導体層(拡散層)3を横切る基板表面と平行な任意の面内の横広がり寸法Aに対する基板表面の法線方向(深さ方向)での広がり寸法Bの比「B/A」が「1」より大きいことを満たす高アスペクトの拡散層3が形成できる。

【0080】また、図2(d)に示す半導体基板を用いて、例えば、米国特許第5438215号に開示されているような高耐圧MOSデバイスを形成することができる。このように、本実施の形態は下記の特徴を有する。

(イ)シリコン基板1にトレンチ2を形成した後、エピタキシャル成長法によりトレンチ2内を含めた基板1上にエピタキシャル膜5を形成し、さらに、エピタキシャル膜5の一部のエッティング処理と、エピタキシャル膜6の成膜処理とを1回または複数回行ってトレンチ2内を、重ねたエピタキシャル膜5、6にて埋め込み、最後に、基板1上のエピタキシャル膜5、6の表面を平坦化した。よって、エピタキシャル膜5の一部をエッティング処理することによりトレンチ2での開口部が広がり、この状態でエピタキシャル膜6の成膜が行われるので、開口部の塞がりを抑制して埋込不良(す)を抑制することができる。また、埋込状態によつては、エピタキシャル膜(5)の一部のエッティング処理と、エピタキシャル膜(6)の成膜処理とを複数回行うことにより、さらに埋込性が向上する。さらに、埋込エピタキシャル成長後に基板1表面には段差が発生するが、平坦化処理を行うことにより、後工程のデバイス形成における不具合を回避することができる。

(ロ)エピタキシャル膜5のエッティング処理には、塩化水素または水素を含んだ雰囲気で塩化水素または水素の気相エッティング作用を用いた。このように、エピタキシャル膜5のエッティング処理に塩化水素や水素によるシリコン層の化学的エッティング反応を用いることにより、低ダメージに開口部を塞ぐものを除去することができる。

(ハ)エピタキシャル膜(5)の成膜処理とエピタキシャル膜(5)のエッティング処理とを、同一の成膜装置内で連続して行うようにしたので、エピタキシャル成長とエッティング処理とを連続して行う上で、各々の処理において最適な基板温度を選択することができる。

(ニ)エピタキシャル膜(5)の成膜処理とエピタキシャル膜(5)のエッティング処理を交互に行うようにした

ので、ガス材料によるエッティング反応処理は成膜装置内でエピタキシャル膜成膜とエッティング処理を連続して行うことが可能であるため、基板表面への汚染物の付着を低減可能であるとともにスループットを向上させることができる。

(第2の実施の形態) 次に、第2の実施形態を、第1の実施形態との相違点を中心に説明する。

【0081】図5、6は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図6(c)に示すように、半導体基板を構成するシリコン基板(単結晶シリコン基板)11にトレンチ12が形成され、このトレンチ12の内部には単結晶シリコン膜(拡散層)3が充填されている。

【0082】本実施形態では、図6(b)でのトレンチ12の内部に埋込エピタキシャル膜15を成長させる際の埋込不良を抑制するために、エピタキシャル成長前のトレンチ12の形状を工夫している。

【0083】まず、図5(a)、(b)に示すように、シリコン基板11の上に開口部14aを有する酸化膜14を配置する。そして、図5(c)に示すように、トレンチ12の側面を順テーパー加工する。これにより、図6(a)に示すように、トレンチ12の底部に対して開口部が広がる($F > E$)。言い換えれば、トレンチ12の底部における横広がり寸法Eに対するトレンチ12の上部の横広がり寸法Fの比(F/E)が「1」以上となるトレンチ形状にする。これにより、トレンチ12の底部の成長膜厚が開口部の成長膜厚に比べて小さくても開口部が塞がる前に図6(b)に示すようにトレンチ12の底部にエピタキシャル膜15を成長させることができる。

【0084】トレンチ12の順テーパー加工に関しては、トレンチのアスペクト比はドライエッティングにおけるプラズマによる機械的なスパッタリング作用とラジカルによる等方的な化学反応によるエッティング作用のバランスにより決まるため、ラジカルによる等方的エッティング作用を強めることにより順テーパー加工することができる。

【0085】エピタキシャル膜15の成膜後において、図6(c)に示すように、エピタキシャル膜15を平坦化処理する。このように形成された単結晶シリコン層

(拡散層)13においては、トレンチ加工時の構造を反映し底部における横広がり寸法Cに対する上部の横広がり寸法Dの比(D/C)が「1」以上となる。つまり、図6(a)でのトレンチ12の底部と上部の横広がり寸法の比(F/E)が「1」以上となるトレンチ形状することにより、半導体層(拡散層)13のアスペクト比に関しても「1」以上の高アスペクトとすることができる。

【0086】また、本例のように順テーパー加工したトレンチ12を用いた場合にも、第1の実施形態で説明し

たように、埋込エピタキシャル成長後に開口部の塞がりをHClまたはH₂エッティングにより除去するようにしてもよく、さらに埋込性を向上させることができる。

【0087】このように、本実施の形態は下記の特徴を有する。

(イ)シリコン基板11に、底部での幅Eよりも開口部での幅Fが大きなトレンチ12を形成し、トレンチ12内部に、トレンチ12を横切る基板表面と平行な任意の面内での横方向の寸法よりも基板表面に対し法線方向の寸法の方が大きい拡散層13を充填した。よって、従来の基板表面やイオン注入領域から熱拡散により形成する拡散層(半導体層)はアスペクト比(縦横の比率)が「1」を原理的に超えられないのに対して、高アスペクトの半導体層を形成することで深さ方向の有効活用につながり単位面積当たりの素子の高集積化を行うことができる。また、トレンチの底部(基板深部側)に対しトレンチの上部(基板表面側)の横広がりを大きくした構造は、トレンチ内部に埋込エピタキシャル成長により拡散層13を形成する上で埋込性を向上させることができ

20

る。

【0088】なお、トレンチ12内の半導体層13は、一種もしくは複数の濃度または導電型の異なる拡散層により構成してもよい。

(第3の実施の形態) 次に、第3の実施形態を、第1、2の実施形態との相違点を中心に説明する。

30

【0089】図7、8は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図8(c)に示すように、半導体基板を構成するシリコン基板(単結晶シリコン基板)21にトレンチ22が形成され、このトレンチ22の内部には単結晶シリコン膜(拡散層)23が充填されている。

30

【0090】本実施形態でも第2の実施形態とは異なる手法にて、図8(b)でのトレンチ22の内部に埋込エピタキシャル膜26を成長させる際の埋込不良を抑制すべく、エピタキシャル成長前のトレンチ22の形状を工夫している。

40

【0091】まず、図7(a)～(d)に示すように、シリコン基板21に対し開口部24aを有する酸化膜24を配置し、ドライもしくはウェット処理によりトレンチ22を形成する。

【0092】その後、図8(a)に示すように、高温の熱酸化処理を行うことによりトレンチ22の開口部を丸め酸化する。つまり、熱酸化膜25の形成によってトレンチ22の開口部を広げる。特に、酸化温度を100℃以上好ましくは1100℃以上で酸化することにより開口部コーナーの曲率半径を大きく丸め酸化することが可能であり、広い開口部形状が形成できる。

50

【0093】そして、酸化膜25をHF水溶液等によるエッティング処理により除去する。これにより、開口部が広がったトレンチ22が露出する。その後、図8(b)

に示すように、埋込エピタキシャル成長処理を行う。このとき、エピタキシャル膜26によりトレンチ22の開口部が塞がる前にトレンチ22の底部にエピタキシャル膜26を成長させることができ、埋込性が向上する。

【0094】そして、図8(c)に示すように、エピタキシャル膜26の平坦化処理を行う。本例でも、第1、2の実施形態と同様に、拡散層23のアスペクト比に関しても「1」以上の高アスペクトとすることができる。

【0095】また、本例のようにトレンチ22の開口部を丸め酸化する場合にも、第1の実施形態で説明したように、埋込エピタキシャル成長後に開口部の塞がりをHClまたはH₂エッティングにより除去する工程と組み合わせることによって、さらに埋込性を向上させることができる。

(第4の実施の形態) 次に、第4の実施形態を、第1～3の実施形態との相違点を中心に説明する。

【0096】図9は、本実施の形態における半導体基板の製造工程を示す概略断面図である。本実施形態では、エピタキシャル成長前のトレンチ形状制御として、トレンチ開口部を広げるべくエッティング処理を行い、トレンチ32の開口部に幅広かつ浅いトレンチ33を形成している。

【0097】まず、図9(a)に示すように、シリコン基板31に対し所望の拡散層形状に合わせてトレンチエッティングを行い、トレンチ32を形成する。また、マスク酸化膜は除去する。

【0098】そして、図9(b)に示すように、再度、フォトリソグラフィーによりレジスト等のマスク34を形成する。このマスク34は、トレンチ開口幅W1より広い領域が開口している。即ち、マスク34の開口幅W2はトレンチ開口幅W1より大きい。

【0099】さらに、レジストマスク34でドライエッティング処理を行い、図9(c)に示すように、トレンチ開口部(トレンチ上部)のエッティングを行う。その結果、開口部を広げるためのトレンチ33が形成される。よって、後工程における埋込エピタキシャル成膜において開口部塞がりを抑制して埋込性を向上させることができる。

【0100】ここで、トレンチ33の形成領域のサイズについて言及すると、幅W2はトレンチ32の開口幅W1より広く、深さL2はトレンチ32の深さL1より浅くすることが必要である。

【0101】なお、開口部のエッティング処理(トレンチ33の形成)は、トレンチ32の加工工程の前に行ってよい。そのためには、開口部のエッティング処理(トレンチ33の形成)をレジストマスクまたは酸化膜マスクにより実施した後に、再度酸化膜もしくはレジストマスクによりトレンチ加工パターンを形成し、トレンチ32の形成のためのエッティング処理を行うこととなる。また、トレンチ上部のエッティング処理の回数に関して、基

板31にトレンチ32を形成する処理を実施する前もしくは後に、複数回行ってよい。

(第5の実施の形態) 次に、第5の実施形態を、第1～4の実施形態との相違点を中心に説明する。

【0102】図10は、本実施の形態における半導体基板の製造工程を示す概略断面図である。シリコン基板41にトレンチ42を形成する。このとき、トレンチ42のエッティングマスクである酸化膜43を残しておく。そして、この状態でエピタキシャル成長させエピタキシャル膜44を形成する。つまり、前工程であるトレンチ形成工程のエッティングマスクに用いた膜43の全部または一部を残した状態でエピタキシャル膜44を成膜する。すると、トレンチ42の内壁面においては単結晶シリコン44aが成長するが、酸化膜43上では基板41の原子配置の情報が得られないため、酸化膜43の上部には多結晶シリコン44bが成膜する。また、トレンチ42の開口部を塞ぐエピタキシャル膜44は酸化膜43上から横方向成長する多結晶シリコンの影響を受けて多結晶シリコンとなる(より詳しくは、多結晶と単結晶が混在する粗悪な結晶性の膜となる)。

【0103】このような状態で、HClもしくはH₂ガス導入によるエッティングを施す。すると、多結晶シリコン(44b)は単結晶に比較してエッティングレートが大きいため、トレンチ42の底部の良好な結晶性のエピタキシャル膜(44a)に比較して開口部の粗悪な結晶性のエピタキシャル膜(44b)のエッティングレートは大きく、結果的に、開口部の選択的なエッティングを容易に行うことができる。つまり、トレンチ開口部の多結晶シリコンを選択的に除去できる。

【0104】このように、酸化膜マスク43を残した状態でエピタキシャル成長させると、HClもしくはH₂を用いたトレンチ開口部の選択的エッティング処理をより効率的に行うことができる(開口部の選択エッティング性を高めることができる)。なお、マスクとする材料としては酸化膜に限らず窒化膜を用いてよく、窒化膜においても多結晶シリコンが成長するため酸化膜と同様の効果が得られる。

【0105】さらに、埋込エピタキシャル成長後のエピ膜の表面を平坦化するCMP工程においては、研磨の終点検出膜(研磨ストップ)としてトレンチ形成においてエッティングマスクに用いた酸化膜43を用いることにより加工精度の向上を図ることができる。つまり、酸化膜はシリコン膜に比較して研磨レートが低いため、酸化膜43が露出した時点で研磨が停止する特性を用いる。同様に、ドライエッティング処理によるエッチパックによりエピタキシャル膜の表面平坦化を行う場合にもエッティングマスクに用いた酸化膜をエッティングストップとしてもよい。

【0106】なお、当然のことながら上述したように、エピタキシャル膜の成膜の際に、前工程であるトレンチ

形成工程のエッティングマスクに用いた膜43の全部を除去した状態でエピタキシャル膜44を成膜することにより、トレンチ開口部および平坦部上に単結晶半導体を形成するようにしてもよい。これにより、トレンチ開口部のエピタキシャル膜の結晶性が向上する。

(第6の実施の形態) 次に、第6の実施形態を、第1～5の実施形態との相違点を中心に説明する。

【0107】図11は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図11(d)に示すように、半導体基板を構成するシリコン基板(単結晶シリコン基板)51にトレンチ52が形成され、このトレンチ52の内部には単結晶シリコン膜(拡散層)53が充填されている。

【0108】まず、図11(a)に示すように、シリコン基板51における拡散層を形成しようとする所望の位置に所望の深さのトレンチ52を形成する。このトレンチ形成工程では、ドライエッティング処理もしくはウェットエッティング処理のいずれかによる異方性エッティング処理を用いる。その後、トレンチ52内を含めた基板1上に埋込エピタキシャル成長させる(エピタキシャル膜54を形成する)。このとき、トレンチ52の側面からの成長により埋込が進む。その結果として、相対向する側面からの成長端がトレンチ中央で接した場合には巨視的に現れてくる埋込不良(す)は前記の第1～4の実施形態により低減できたとしても、原子レベルでの格子不整合が発生し、結晶欠陥の原因となる。

【0109】そこで、本実施形態においては、図11(a)に示すとくトレンチ52の内部に埋込エピタキシャル成長させてトレンチ52の中央部に“す”がある状態で、図11(b)に示すように、トレンチ52内を含めた基板1上にアモルファスシリコン膜55を成膜してトレンチ52の内部を埋め込む。アモルファスシリコン膜55の成膜に関しては、LPCVDにおいて成膜ガスとしてSiH₄、キャリアガスとしてH₂を用いて600℃以下の低温で成膜させることにより形成する。低温での成膜であるため埋込性は良好でトレンチ中央部の“す”の中にも埋込可能である。

【0110】引き続き、図11(c)に示すように、LPCVD内で熱処理を施すことで固相反応させ、埋込アモルファスシリコン層55を単結晶化させる(単結晶シリコン膜56とする)。このとき、トレンチ52の両側面から気相反応させる際にトレンチ中央部に欠陥層が発生することが懸念されるが、固相反応時(単結晶化の時)にトレンチ中央部の結晶欠陥層が緩和される。ここで、固相反応させるためには900℃以上好ましくは1100℃以上の熱処理が必要である。また、固相反応を目的とする熱処理はLPCVD中の減圧雰囲気での処理に限らず、成膜装置外部に取り出した上で電気炉等を使用した大気圧下の熱処理であってもよい。ただし、LPCVD中で実施することにより一連の処理が同一

装置内でできるため処理時間の節約によりスループット向上が期待できる。

【0111】そして、図11(d)に示すように、膜54、56の表面の平坦化処理を行う。なお、図11ではエピタキシャル膜54の成膜後にアモルファスシリコン層55を成膜することによりトレンチ52内を埋め込んだが、エピタキシャル膜54を使用せずにアモルファスシリコン層55のみでトレンチ埋め込みを行うことも可能である。ただし、成膜レートが小さいため、アモルファスシリコンのみでトレンチ内部に埋め込もうとする場合には長時間の成膜処理が必要となる。また、本例でも、第1～4の実施形態と同様に、アスペクト比が「1」以上の高アスペクトの拡散層加工を行ってもよい(このようにすることによる効果は後でまとめて記載する)。

【0112】このように、本実施形態は下記の特徴を有する。

(イ) シリコン基板51にトレンチ52を形成し、トレンチ52内を含めた基板1上にアモルファスシリコン膜55を成膜してトレンチ52の内部を埋め込み、さらに、熱処理によりアモルファスシリコン膜55を固相反応させることにより単結晶化し、次に、基板51上の単結晶シリコン膜56の表面を平坦化した。よって、アモルファスシリコン膜55の成膜は低温で行うため埋込性には優れており、また、トレンチ52の両側面から気相反応させる際にトレンチ中央部に欠陥層が発生することが懸念されるが、固相反応ではアモルファスシリコンが単結晶化する際に緩和されることが期待できるため良好な単結晶膜の埋込が可能となる。さらに、アモルファスシリコン膜55の成膜後には基板表面に段差が発生するが、平坦化処理を行うことにより、後工程のデバイス形成における不具合を回避することができる。

(ロ) トレンチ52は、底部での幅よりも開口部での幅が大きいものとすると、トレンチの底部(基板深部側)に対しトレンチの上部(基板表面側)の横広がりを大きくすることにより、開口部が広がり、結果的にアモルファスシリコン膜55の埋込性を向上させることができる。

(ハ) トレンチ形成工程においてトレンチエッティング処理後に熱酸化処理を行い、形成した酸化膜を除去することでトレンチ開口部を広げるようにすると、アモルファスシリコン膜55の埋込性を向上させることができる。

(ニ) トレンチ形成工程においてトレンチエッティング処理を実施する前もしくは後に1回または複数回のトレンチ上部のエッティング処理を行うようにすると、所望のトレンチの開口部をエッティングすることにより開口部を広げることでアモルファスシリコン膜55の埋込性を向上させることができる。当然、トレンチ52の上部のエッティング処理は、開口部の幅がトレンチ52の幅より大きく、エッティング深さはトレンチ52の深さより小さくす

る。

(ホ) アモルファスシリコン膜55の埋込前にエピタキシャル膜54を成膜しており、アモルファスシリコン膜55のみを埋め込む場合には成長レートが低いためにスループットの低下が懸念されるが、エピタキシャル膜54を気相成長により成膜した後に、アモルファスシリコン膜55を完全に埋め込めばよく、アモルファスシリコン膜55は埋込の最終段階で成膜すればよい。そのため、スループットが向上し、なおかつトレンチ中央部の埋込不良や結晶欠陥の抑制が可能となる。

(ヘ) エピタキシャル膜54の成膜とアモルファスシリコン膜55の成膜とを、同一の成膜装置内で連続して処理すると、基板表面への汚染物の付着を低減可能となり、スループットも向上する。

(ト) トレンチ52内部にエピタキシャル膜54を成膜した後に、エピタキシャル膜54のエッチング処理とエピタキシャル膜の成膜処理とを1回または複数回繰り返すようにする。このようにエピタキシャル膜埋め込み後に開口部を塞ぐものを取り除くことを目的とするエッチング処理を施し、更にエピタキシャル膜を成膜することにより、エピタキシャル膜埋め込みにおける開口部の塞がりを低減して、エピタキシャル膜の成膜工程において埋込性を向上させ埋込不良(す)を抑制することができる。

(チ) ここで、エピタキシャル膜54のエッチング処理は、塩化水素または水素を含んだ雰囲気において塩化水素または水素の気相エッチング作用を用いると、低ダメージに開口部を塞ぐものを除去することができる。

(リ) エピタキシャル膜(54)の成膜処理とエピタキシャル膜(54)のエッチング処理を交互に行うことにより、エピタキシャル成長とエッチング処理とを連続して行う上で各々の処理において最適な基板温度を選択することが可能となり、また、特にガス材料によるエッチング反応処理は成膜装置内でエピタキシャル膜成膜とエッティング処理を連続して行うことが可能であるため、基板表面への汚染物の付着を低減可能でスループットの向上も期待できる。

(ヌ) エピタキシャル膜54の成膜処理においては、少なくとも成膜材料元素を含む成膜ガスに基板表面がさらされる状態で任意の温度に基板51を保持し、エピタキシャル膜54のエッティング処理においては少なくともエッティングガスに基板51表面がさらされる状態でエッティング反応が供給律速過程となる任意の温度に基板51を保持する。つまり、エッティング処理においては開口部を選択的にエッティングすることが望ましいため、供給律速となる高温下でのエッティング処理を行うことが有効である。

(ル) 前工程であるトレンチ形成工程のエッティングマスクに用いた膜の全部もしくは一部を残した状態でエピタキシャル膜54を成膜することにより、トレンチ開口部

に多結晶シリコンを形成し、エッティング処理においてトレンチ開口部の多結晶シリコンを選択的に除去するようになると、選択的に開口部のみをエッティング除去することができる。あるいは、エピタキシャル膜の成膜の際に、前工程であるトレンチ形成工程のエッティングマスクに用いた膜の全部を除去した状態でエピタキシャル膜54を成膜することにより、トレンチ開口部および平坦部上に単結晶半導体を形成するようにしてもよい。その結果、トレンチ開口部のエピタキシャル膜の結晶性が向上する。

【0113】また、他の特徴として、アモルファスシリコンを単結晶化するための固相反応工程において、アモルファスシリコン膜55の埋込工程と同一の成膜装置内で連続して熱処理することにより、基板表面への汚染物の付着を低減可能でスループットも向上する。また、膜54、56の表面の平坦化を研磨法もしくはドライエッティング処理によるエッチバッブ法により行うときに、エッティングマスクに用いた膜を研磨ストップもしくはドライエッティングのストップとすることで、表面の平坦化における加工精度を向上することができる。

(第7の実施の形態) 次に、第7の実施形態を、第1～6の実施形態との相違点を中心に説明する。

【0114】図12、13は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図13(c)に示すように、半導体基板を構成するシリコン基板(単結晶シリコン基板)61にトレンチ62が形成され、このトレンチ62の内部には単結晶シリコン膜(拡散層)63が充填されるとともにその内部には導電材料64が埋め込まれている。導電材料64は拡散層63の電位をとることを目的にして配置したものである。また、当然のことながら、基板61はN型で、拡散層63はP型であり(あるいは基板1はP型で、拡散層63はN型)、その界面にPN接合が形成され、デバイスを深さ方向に高集積化することが可能となっている。

【0115】まず、図12(a)～(d)に示すように、シリコン基板61に酸化膜65を用いて開口部65aからエッティングを行い、拡散層を形成しようとする所望の位置に所望の深さでトレンチ62を形成する。エッティングにはドライエッティング処理もしくはウェットエッティング処理のいずれかによる異方性エッティング処理を用いる。ここまでトレンチ62の加工工程に関しては第1の実施形態と同様である。

【0116】そして、図13(a)に示すように、エピタキシャル成長法によりトレンチ62内を含めた基板61上にエピタキシャル膜66を形成する。エピタキシャル膜66の成長工程においては、後工程においてトレンチ62内に導電材料64を埋め込むために、エピタキシャル膜66はトレンチ62の内側に成長させ、完全には埋め込まないようにする。

【0117】その後、図13(b)に示すように、エピ

タキシャル膜6 6 の上に導電材料の膜（導電膜）6 7 を成膜し、トレンチ6 2 内においてエピタキシャル膜6 6 の内側に導電膜6 7 を埋め込みながらトレンチ6 2 内の埋め込みを行う。埋め込む導電材料（6 4）としては、一般的に配線材料として用いられる金属材料（金属膜）、具体的にはAl、Cu等を用いる。ただし、予めトレンチ内部にパリアメタルとなるTiN等の材料を成膜することでAlやCuのマイグレーションを防ぐことができる。Alについてはスパッタリングや蒸着等のPVD法やCVD法により成膜することができ、埋込性や結晶性を良好にするため、成膜後に600℃程度の熱処理を行うことが望ましい。CuについてはCuメッキ法等で成膜を行う。

【0118】また、他の導電材料としては、金属とシリコンの化合物である金属シリサイドを埋め込むことも可能である。金属シリサイドを形成する金属材料としては、TiやCo、Ni、W、Pd、Pt等を用いることができ、いずれもスパッタリングや蒸着等のPVD法によりトレンチ6 2 内に堆積させ、その後の熱処理（300～900℃）によりエピタキシャル膜6 6 の一部と反応させシリサイド化させる。金属層をシリサイド化させることで正味の堆積が増加するため、結果としてトレンチ6 2 の内部を完全に埋め込むことが可能となる。また、金属シリサイド層の成膜に関しては、金属シリサイド材料が含まれるガス材料を用いたCVD法によっても成膜可能である。金属シリサイドは化学的にも安定であるため信頼性が高く、電気伝導率も金属とほぼ同等であるため拡散層の電位をとる導電材料に用いることは好ましい。

【0119】また、導電材料として、高不純物濃度の多結晶シリコン（高濃度の多結晶半導体材料）を用いてもよい。この場合、CVD法によりドーパントとなるガス材料と成膜材料を導入しトレンチ内に成膜する。この方法では、エピタキシャル成長装置内で連続して成膜することが可能となる。なお、この場合、エピタキシャル膜6 6 の導電型と多結晶シリコンの導電型を一致させることができると必要である。また、エピタキシャル膜6 6 の成膜工程および導電膜6 7 の成膜工程において、埋込性を向上させるために、第1の実施形態等で用いたHClやH₂による開口部のエッチング処理を付加するとよい。

【0120】このように、埋込用導電材料として、金属材料、金属シリサイド材料、高濃度の多結晶半導体材料の少なくともいずれか1つを用いる。これらを使用することにより電気伝導性が良好で化学的にも安定な導電材料層が形成できる。また、拡散層6 3 の導電型と同一の導電型の高濃度多結晶シリコンを導電材料とすることにより拡散層6 3 の接触抵抗を低減することができる。

【0121】そして、図13(c)に示すように、基板6 1のエピタキシャル膜6 6 および導電膜6 7 の表面を研磨により平坦化して成膜による段差を無くして、後工

程のデバイス形成時の不具合を回避する。その結果、導電材料6 4 を内蔵した高アスペクトの拡散層6 3 が形成される。つまり、トレンチ6 2 を横切る基板表面と平行な任意の面内での横方向の寸法よりも基板表面に対し法線方向の寸法の方が大きい拡散層6 3 が充填される。よって、従来の基板表面やイオン注入領域から熱拡散により形成する拡散層はアスペクト比は「1」を原理的に超えられないのに対して、高アスペクトの半導体層（拡散層）を形成することで深さ方向の有効活用につながり単位面積当たりの素子の高集積化が可能となる。

【0122】また、導電材料6 4 を拡散層6 3 内に埋め込むことで、拡散層6 3 の表面に配線を接続する場合に比べて（表面から電位をとる場合に比べて）、拡散層6 3 内に均一に電界を広げることが可能となり、拡散層6 3 と配線間の寄生抵抗を低減することができ、特に、トレンチ深さを深くし、より高アスペクトの拡散層を形成する場合に有効である。

（第8の実施の形態）次に、第8の実施形態を、第1～7の実施形態との相違点を中心に説明する。

【0123】図14は、本実施の形態における半導体基板の製造工程を示す概略断面図である。図14(b)に示すように、半導体基板を構成するシリコン基板（単結晶シリコン基板）7 1 にトレンチ7 2 が形成され、このトレンチ7 2 の内部には単結晶シリコン膜（拡散層）7 3 が充填されている。

【0124】まず、図14(a)に示すように、シリコン基板7 1 にトレンチ7 2 を形成した後、エピタキシャル成長法によりトレンチ7 2 の内部を含めた基板1上にエピタキシャル膜7 3 を成膜する。このとき、トレンチ7 2 の上部に埋込不良領域“す”が残っている状態であっても、図14(b)に示すように、埋込不良のない深さまで表面から研磨処理により埋込不良領域を除去する。つまり、基板7 1 上のエピタキシャル膜7 3 の表面から研磨を行い、少なくともトレンチ7 2 の開口部よりも深い位置までのエピタキシャル膜7 3 及び基板7 1 を除去する。よって、少なくともトレンチ7 2 の開口部においてエピタキシャル膜7 3 の成膜時の“す”が残っていても、この研磨処理にて“す”が除去できる。また、この研磨処理にて表面が平坦化され、後工程のデバイス形成における不具合を回避することができる。このようにして、最終的には埋込性の良好な拡散層7 3 を加工することができる。

【0125】この方法は第6実施形態で示したアモルファスシリコンを埋め込んで単結晶化する場合であっても、第7実施形態で示したエピタキシャル膜と導電材料を埋め込む場合であっても、トレンチ上部の埋込不良除去法として適用可能である。

【0126】第8の実施形態の説明を終え、拡散層のドーパント濃度制御について説明を加える。第1～8の実施形態においては、トレンチ内部に埋込エピタキシャル

膜（アモルファス膜5.5を含む）を成膜することにより3次元の拡散層形成を狙ったものであるが、拡散層を形成する上では、埋込層のドーパント濃度制御が必要である。ドーパントの混入（ドーパントとなる不純物を含むガス材料の導入）はエピタキシャル膜の成膜工程において、P型層を形成する場合にはB₂H₆等のガスを0.1～0.5リットル／分程度導入することで、B（ボロン）をエピタキシャル膜中に混入させる。また、N型層を形成する場合にはPH₃等のガスを0.1～0.5リットル／分程度導入することで、P（リン）をエピタキシャル膜中に混入させる。

（第9の実施の形態）次に、第9の実施の形態を、第1及び第6の実施の形態との相違点を中心に説明する。

【0127】本実施形態では、第1の実施の形態においてトレンチ内部に埋込エピタキシャル成長させた場合のトレンチ中央部の埋込不良に対して、減圧下での非酸化性雰囲気において熱処理を行うようしている。これにより、表面の酸化を防止しつつシリコン原子の移動が促進される。よって、埋込不良領域のシリコン原子が再配列され、その結果、埋込不良を縮小させることができる。

【0128】詳しくは、工程条件（減圧下での非酸化性熱処理）として、処理温度を、950℃～1200℃（特に、1100℃以上とすると、より効果的である）とし、時間を、1～20分間とし、雰囲気を、真空中もしくはH₂または希ガス（He、Ar等）を導入した減圧雰囲気（10～300torr）とする。

【0129】より具体的には、比較例として、トレンチエッティング→HF洗浄（自然酸化膜除去）→熱処理（自然酸化膜除去）→エビ成膜→HClエッティング→再エビ成膜（低温成膜による埋込性向上）→1次研磨→犠牲酸化→仕上げ研磨という工程を具備する場合において、本実施形態を適用して、トレンチエッティング→HF洗浄（自然酸化膜除去）→熱処理（自然酸化膜除去）→エビ成膜→HClエッティング→再エビ成膜（低温成膜による埋込性向上）→減圧下での非酸化性熱処理→1次研磨→犠牲酸化→仕上げ研磨を行うようにする。

【0130】図15は、非酸化性の減圧雰囲気における熱処理による効果確認を行った際の縦断面図である。図15(a)のように基板1のトレンチ2内にエピタキシャル膜5を形成した後に、H₂、1150℃、1.0分、80torrの熱処理を行ったところ、図15(b)のように、埋込不良が縮小した。詳しくは、図15(a)における埋込不良はトレンチ中央部においてトレンチ深さ方向に直線的に延びている。この状態から上述の熱処理を行うことにより、埋込不良にて露出する面（空洞の内周面）においてシリコン原子の移動にて原子が再配列する。これにより、直線的に延びていた埋込不良に対し両側から結合する部分が発生し埋込不良が縮小する。その結果、図15(b)のように、埋込不良が線から点にな

る。

【0131】このように、半導体基板の製造方法として、エピタキシャル膜の成膜の際に、トレンチ内部に埋込後、非酸化性の減圧雰囲気において熱処理を行うことにより、埋込不良を抑制することができる。特に、非酸化性の減圧雰囲気における熱処理は、エピタキシャル膜成膜を行った同一の成膜装置内でエピタキシャル膜成膜後に連続して行うと、基板表面への汚染物の付着を低減可能でスループットも向上する。これらの手法は第1の実施の形態の他にも第6の実施の形態にも適用できる。つまり、図11(b)のアモルファス半導体膜5.5を固相反応させて単結晶化する工程において、非酸化性の減圧雰囲気において熱処理を行う。また、この際、アモルファス半導体膜埋込工程と同一の成膜装置内で連続して熱処理すると、基板表面への汚染物の付着を低減可能でスループットも向上する。

【0132】また、非酸化性の熱処理は、研磨による平坦化後に、減圧雰囲気に導入して処理することによっても、埋込不良部分でのシリコン原子の移動による埋込不良の縮小が可能である。

（第10の実施の形態）次に、第10の実施の形態を、第1及び第6の実施の形態との相違点を中心に説明する。

【0133】まず、図2(a)に示すように、シリコン基板1にトレンチ2を形成した後、エピタキシャル膜5を形成し、図2(b)に示すように、エピタキシャル膜5の一部をエッティングする。そして、図16(a)に示すように、エピタキシャル膜6を成長させる。このとき、トレンチ2の中央部に埋込不良ができる。そこで、図16(b)に示すように、エピタキシャル膜5、6に対し研磨等の平坦化処理を行って埋込不良箇所を露出させる。さらに、図16(c)に示すように、再度、エピタキシャル膜8.0を成膜して埋込不良箇所を埋込む。これにより、埋込不良の発生を抑制することができる。このとき、低温での反応律速成膜（600℃以下）を行うと埋込効果はより高い。

【0134】詳しくは、工程条件（埋込不良箇所の再埋込工程）として、成膜装置がLPCVDであり、成膜材料として、例えばSiH₄を用い、成膜温度として、300℃～1200℃にする。なお、シリコン膜は、成膜温度により単結晶膜、多結晶膜、アモルファス膜に変化するので、いずれかを使用する。

【0135】膜8.0の成膜後において、図16(d)に示すように、再度平坦化処理（研磨またはエッチバッカ）を行う。より具体的には、比較例として、トレンチエッティング→HF洗浄（自然酸化膜除去）→熱処理（自然酸化膜除去）→エビ成膜→HClエッティング→再エビ成膜（低温成膜による埋込性向上）→1次研磨→犠牲酸化→仕上げ研磨という工程を具備する場合において、本実施形態を適用して、トレンチエッティング→HF洗浄

(自然酸化膜除去) → 熱処理(自然酸化膜除去) → エピ成膜 → H C I エッティング → 再エピ成膜(低温成膜による埋込性向上) → 減圧化での非酸化性熱処理(第9の実施形態で説明済み) → 1次研磨 → 酸化・仕上げ研磨 → 埋込不良再埋込工程としてのシリコン埋込(300~1200°C, 単結晶あるいはポリシリコンあるいはアモルファスシリコン) → 1次研磨 → 仕上げ研磨を行うようにする。

[0136] このように、半導体基板の製造方法として、平坦化処理工程において、トレンチ2内の埋込エピタキシャル膜5, 6の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜80もしくは多結晶膜またはアモルファス膜を成膜することで埋込不良箇所を埋設し、更に、平坦化処理を実施すると、埋込不良を低減することができる。この手法は、第1の実施形態の他にも第6の実施形態に適用することができる。つまり、図11(c)においてトレンチ52内の埋込膜54, 56の平坦化処理工程において、埋込層54, 56の中央部の埋込不良箇所が表面に露出した時点で、エピタキシャル膜80もしくは多結晶膜またはアモルファス膜を成膜することで埋込不良箇所を埋設し、更に、平坦化処理を実施する。

(第11の実施の形態) 次に、第11の実施の形態を、第1及び第6の実施の形態との相違点を中心に説明する。

[0137] 本実施形態は、図17に示すように、トレンチ92内の底面でのエピタキシャル膜93の成長速度を α とし、同じくトレンチ92内の側面でのエピタキシャル膜93の成長速度を β とし、トレンチ92の開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/2\beta$

の関係を満足させるようにしている。

[0138] 詳しくは、図17(a)に示すように基板91のトレンチ92に対し、図17(b)に示すようにエピタキシャル膜93を成長させる際に、トレンチ側面からの成長合せ面が埋込不良の原因となるため、合せ面が初期のトレンチ上部となるように、トレンチ形状やトレンチ内部のエピタキシャル膜成長速度(側面、底面)に関して最適化を図るようにする。

[0139] 具体例を挙げると、基板として、Si(110)を用い、トレンチエッティングを、TMAHによるウェットエッティングを行うものとする。この場合、トレンチ内部成長速度は、 $\beta = 0.45 \mu\text{m}/\text{min}$ 、 $\alpha = 0.38 \mu\text{m}$ となり、上述の関係を満たすためには、トレンチ構造として、開口部幅Fが $18 \mu\text{m}$ の場合には、深さBを $7.6 \mu\text{m}$ より小さくする。

[0140] このように、半導体基板91にトレンチ92を形成した後、エピタキシャル成長法によりトレンチ92内を含めた半導体基板91上にエピタキシャル膜93を形成し、半導体基板91の上のエピタキシャル膜9

3の表面を平坦化する半導体装置の製造方法において、上述の関係式($B/\alpha < F/2\beta$)を満足させるようにした。よって、埋込不良の発生を抑制することができる。

[0141] この手法は第1の実施形態に適用できる。つまり、図2(a), (c)においてトレンチ内にエピタキシャル膜5, 6を成長させる際に適用できる。また、第6の実施形態にも適用できる。つまり、図11(a)においてトレンチ52内にアモルファス半導体膜を成長させる際ににおいて、トレンチ内の底面でのアモルファス半導体膜の成長速度を α とし、同じくトレンチ内の側面でのアモルファス半導体膜の成長速度を β とし、トレンチの開口部での幅をFとし、トレンチ深さをBとしたとき、 $B/\alpha < F/2\beta$ の関係を満足させる。また、図11(a)においてトレンチ52内にエピタキシャル膜54を成長させるとともに図11(b)においてトレンチ52内にアモルファス半導体膜55を成長させる際ににおいて、両膜54, 55におけるトレンチ底面での成長速度 α と側面での成長速度 β とトレンチ52のサイズG, Fとの関係で、 $B/\alpha < F/2\beta$ を満足させるようとしてもよい。

[0142] これまで説明してきた各実施形態以外について説明すると、上記の第1~11の実施形態について、シリコン基板上にシリコンをエピタキシャル成長させることで3次元の拡散層を形成する基板加工法について示したが、同様の加工技術はSiCやSiGe、GaAs等の他の半導体材料への展開も可能であり、基板深さ方向の高集積化を目的とする拡散層形成が実現可能である。

[0143] また、基板構造として上記の第1~11の実施形態については拡散層は基板の表面に露出する構造であったが(例えば、図2(d)において拡散層3は基板1の上面に露出しているが)、拡散層は基板に内蔵されている構造、例えば、図2(d)において拡散層3の上にシリコン層を配置した構造としてもよい。

【図面の簡単な説明】

【図1】 第1の実施形態を説明するための半導体基板の断面を示す模式図。

【図2】 同じく半導体基板の断面を示す模式図。

【図3】 成膜温度に対するエピタキシャル膜の成長レートの一例を示す図。

【図4】 基板温度に対するHClエッティングレートの一例を示す図。

【図5】 第2の実施形態を説明するための半導体基板の断面を示す模式図。

【図6】 同じく半導体基板の断面を示す模式図。

【図7】 第3の実施形態を説明するための半導体基板の断面を示す模式図。

【図8】 同じく半導体基板の断面を示す模式図。

【図9】 第4の実施形態を説明するための半導体基板

の断面を示す模式図。

【図10】 第5の実施形態を説明するための半導体基板の断面を示す模式図。

【図11】 第6の実施形態を説明するための半導体基板の断面を示す模式図。

【図12】 第7の実施形態を説明するための半導体基板の断面を示す模式図。

【図13】 同じく半導体基板の断面を示す模式図。

【図14】 第8の実施形態を説明するための半導体基板の断面を示す模式図。

【図15】 第9の実施形態を説明するための半導体基板の断面を示す模式図。

【図16】 第10の実施形態を説明するための半導体基板の断面を示す模式図。

【図17】 第11の実施形態を説明するための半導体基板の断面を示す模式図。

【図18】 従来技術を説明するための基板断面図。

【図19】 従来技術を説明するための積層エピタキシャル成長法による基板断面図。

【図20】 従来技術を説明するための積層エピタキシャル成長法による基板断面図。

【図21】 従来技術を説明するためのトレニチエピタキシャル成長法による基板断面図。

【図22】 従来技術を説明するための選択エピタキシャル成長法による基板断面図。

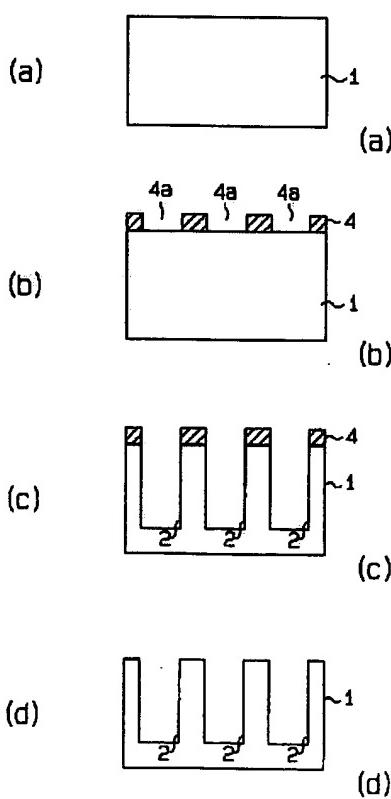
【符号の説明】

1…シリコン基板、2…トレニチ、3…拡散層、4…酸化膜、4a…開口部、5…エピタキシャル膜、6…エピタキシャル膜、11…シリコン基板、12…トレニチ、13…拡散層、15…エピタキシャル膜、21…シリコン基板、22…トレニチ、23…拡散層、25…酸化膜、26…エピタキシャル膜、31…シリコン基板、32…トレニチ、41…シリコン基板、42…トレニチ、43…酸化膜、44…エピタキシャル膜、51…シリコン基板、52…トレニチ、53…拡散層、54…エピタキシャル膜、55…アモルファス膜、56…単結晶シリコン膜、61…シリコン基板、62…トレニチ、63…拡散層、66…エピタキシャル膜、67…導電膜、71…シリコン基板、72…トレニチ、73…拡散層、80…エピタキシャル膜、91…半導体基板、92…トレニチ、93…エピタキシャル膜。

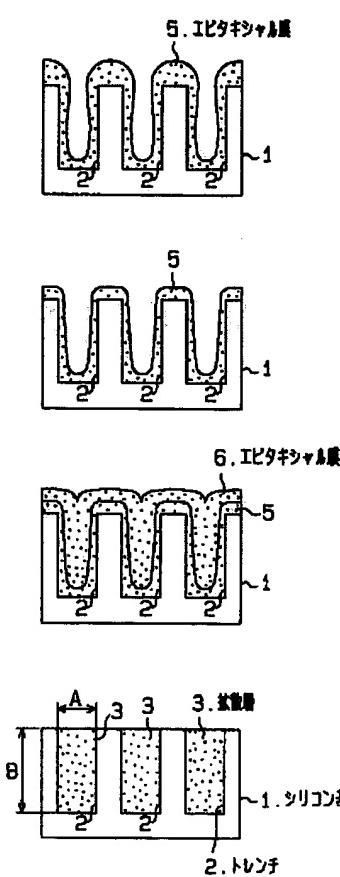
10

20

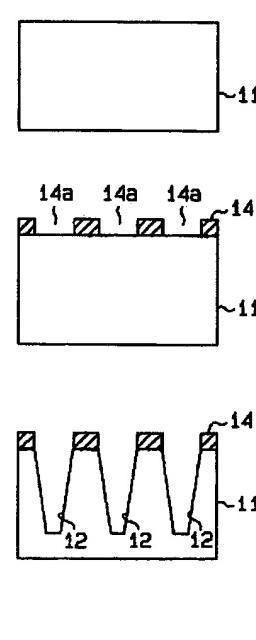
【図1】



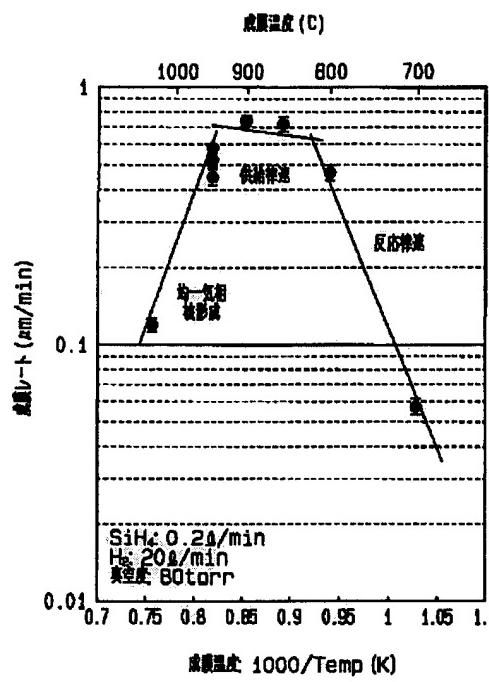
【図2】



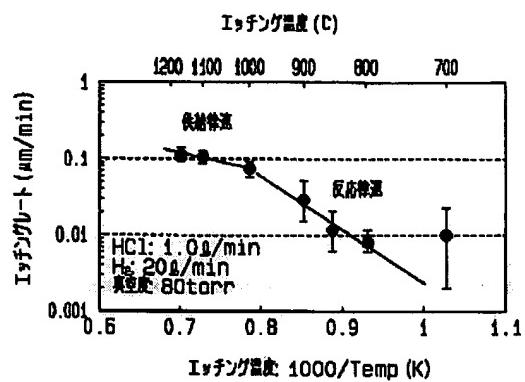
【図5】



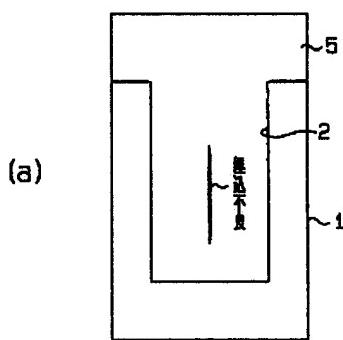
【図3】



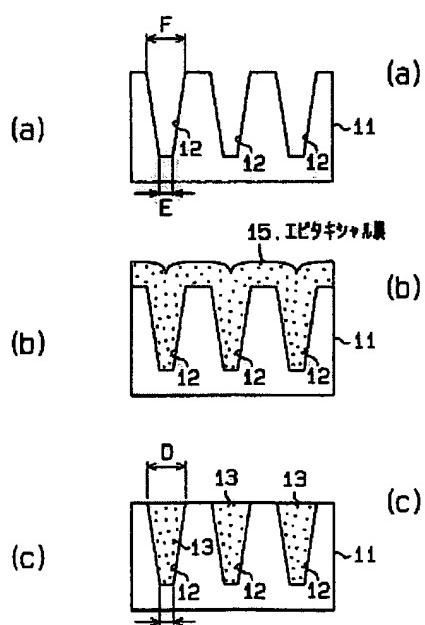
【図4】



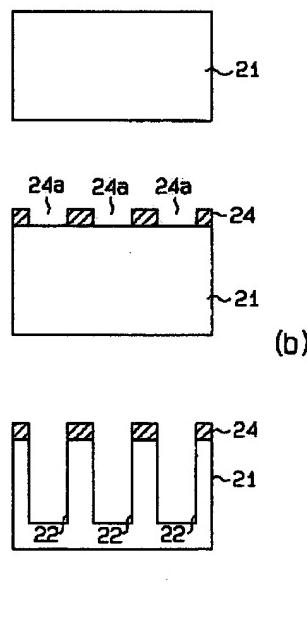
【図15】



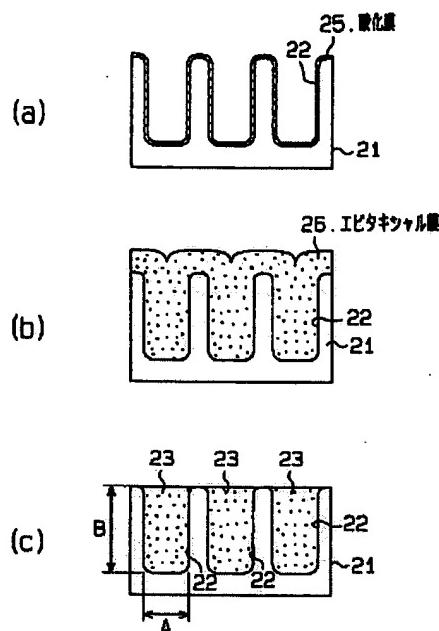
【図6】



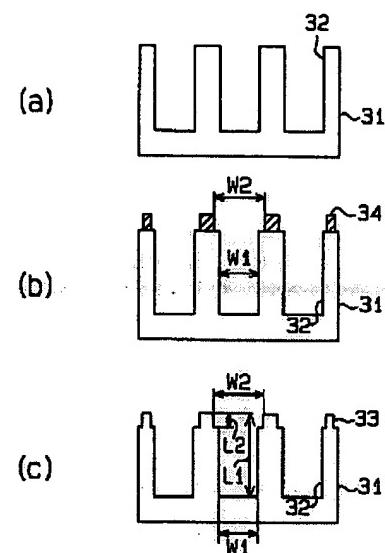
【図7】



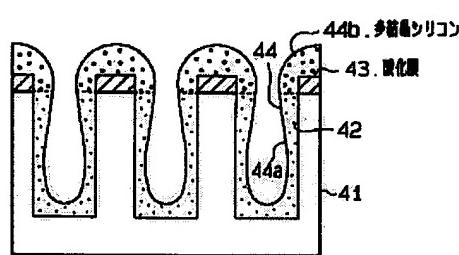
【図8】



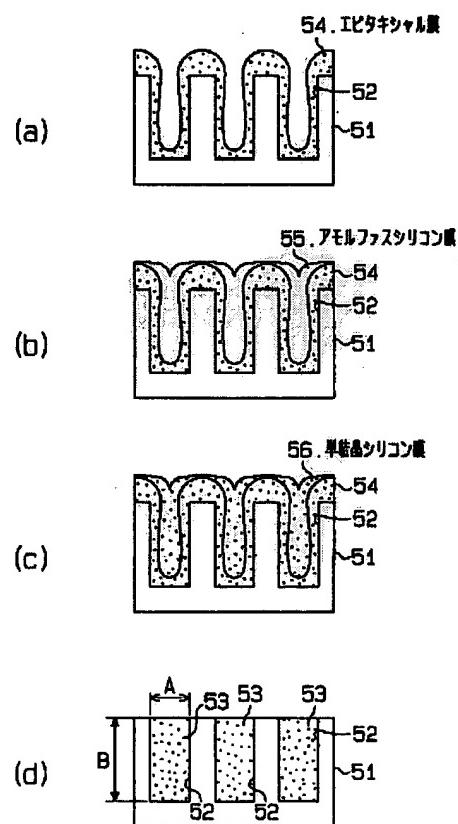
【図9】



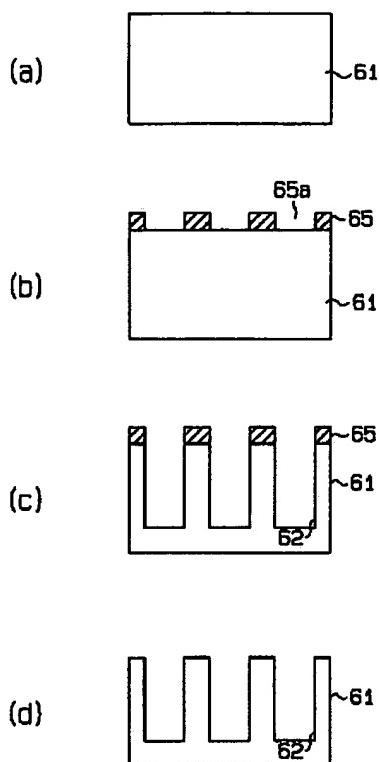
【図10】



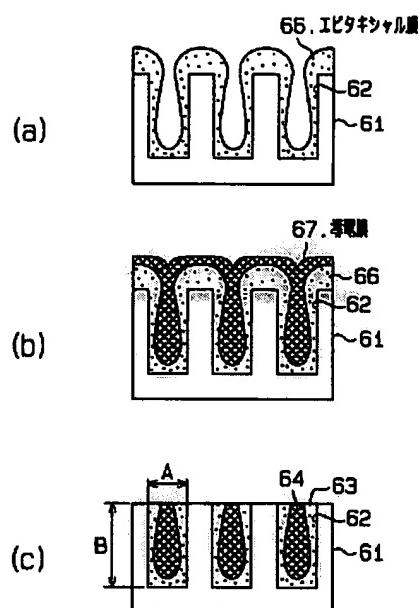
【図11】



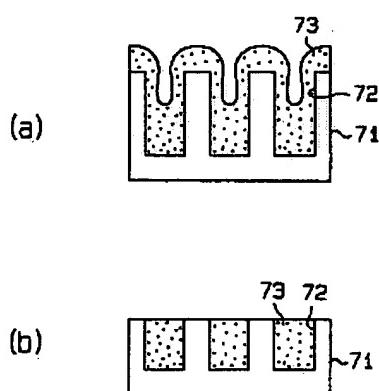
【図12】



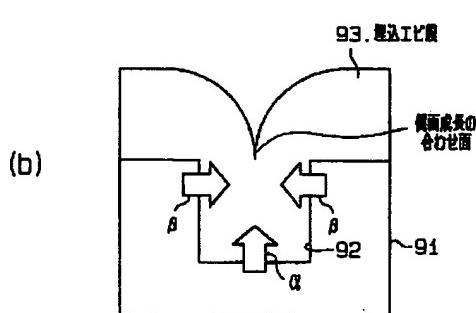
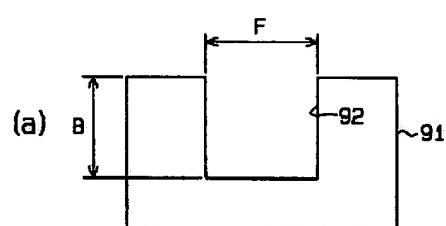
【図13】



【図14】

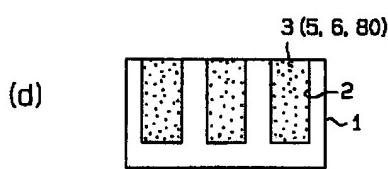
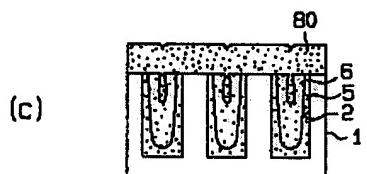
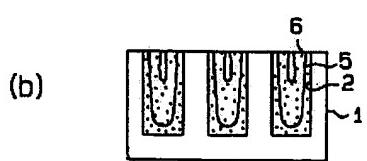
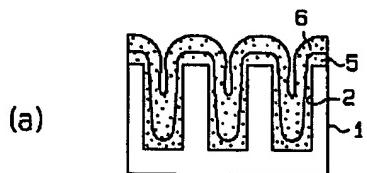


【図17】

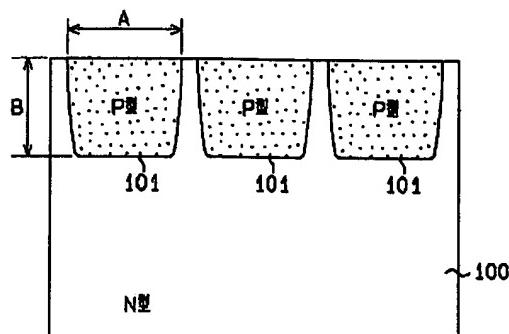


α: 底面成長速度
β: 側面成長速度
条件: $B/\alpha < F/2\beta$

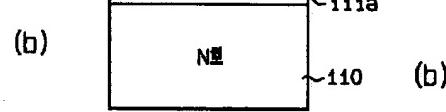
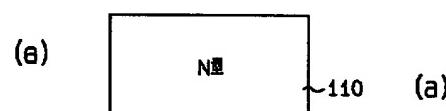
【図16】



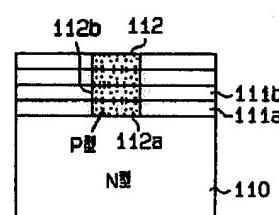
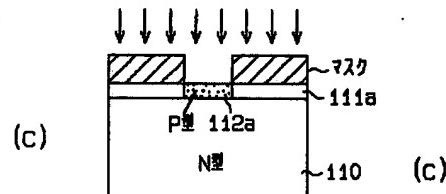
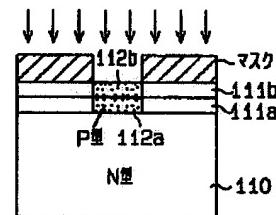
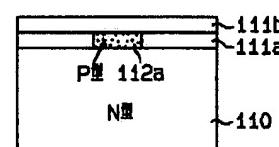
【図18】



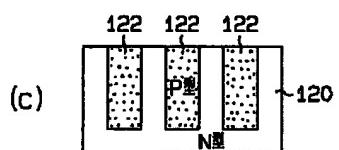
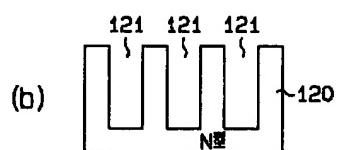
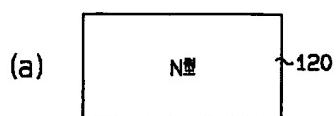
【図19】



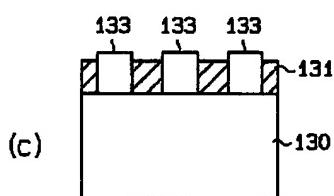
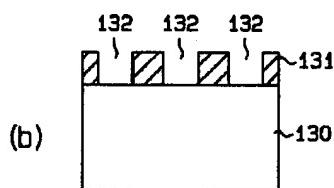
【図20】



【図21】



【図22】



フロントページの続き

- (72)発明者 小野田 邦広
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソーカ内
- (72)発明者 横原 利夫
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソーカ内
- (72)発明者 大塚 義則
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソーカ内

F ターム(参考) 4M104 AA01 AA03 AA05 BB01 CC01
DD08 DD09 DD15 DD22 DD34
DD37 DD43 DD50 DD52 DD53
DD55 DD75 DD78 FF13 FF16
FF18 FF22 FF27 GG09 GG10
GG14 GG18 HH15 HH20
5F045 AA06 AB02 AC01 AC05 AD03
AD04 AD05 AD06 AD07 AD08
AD09 AD10 DB02 DB03 DB05
HA13 HA14 HA16 HA22 HA23

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.